

Data driver comprising a digital/analog converter for a liquid crystal display device

Patent
Number: EP1014334, A3

Publication
date: 2000-06-28

Inventor(s): MAEKAWA TOSHIKAZU (JP); NAKAJIMA YOSHIHARU (JP)

Applicant(s): SONY CORP (JP)

Requested
Patent: TW461180

Application
Number: EP19990403241 19991221

Priority
Number(s): JP19980362283 19981221; JP19990023383 19990201; JP19990023384 19990201; JP19990023382 19990201;
JP19990299188 19991021


IPC
Classification: G09G3/36

EC
Classification: G09G3/36C14A, H03M1/76

Equivalents: KR2000052541, US6664943

Cited
patent(s): US5818406; US5828357; EP0515191; WO9828731; DE4331542; EP0438927; US5680064; US5457420; JP6090161;
JP63093219

Abstract

A drive circuit (12, 13) integrated with the LCD device containing a digital/analog converter circuit (125, 135) has polysilicon thin film transistors arrayed in a matrix on the substrate as switching devices for the pixels. A level shift circuit (124, 134) in the shift register has a basic structure of CMOS latch cells and is utilized in each level shift of the clock signal at each transfer stage. A sampling latch circuit (122, 132) with a basic structure of CMOS latch cells has a level shift function. These respective circuits may be incorporated into a single scanning type structural circuit with the drive circuit-integrated liquid crystal display device to provide an LCD panel with an extremely narrow picture frame, stable level shift operation, stable sampling & latch operation in a circuit structure having an extremely small number of components, low power consumption and a small surface area. 

公告本

申請日期	88.12.18
案 號	88122345
類 別	H03K 17/00, 5/00 G09G 3/36

A4
C4

461180

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	數位/類比轉換器電路、位準移位電路、利用位準移位電路的移位暫存器，取樣閘鎖電路，閘鎖電路及合併前述電路的液晶顯示裝置
	英 文	DIGITAL/ANALOG CONVERTER CIRCUIT, LEVEL SHIFT CIRCUIT, SHIFT REGISTER UTILIZING LEVEL SHIFT CIRCUIT, SAMPLING LATCH CIRCUIT, LATCH CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE INCORPORATING THE SAME
二、發明人	姓 名	1. 仲島 義晴 2. 前川 敏一
	國 籍	1.-2. 均日本
三、申請人	住、居所	1. 日本國東京都品川區北品川六丁目七番35號 2. 日本國東京都品川區北品川六丁目七番35號
	姓 名 (名稱)	日商新力股份有限公司
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國東京都品川區北品川六丁目七番35號
三、申請人	代 表 人 姓 名	出井 伸之

裝

訂

線

四、中文發明摘要(發明之名稱：

數位/類比轉換器電路、位準移位電路、利用位準移位電路的移位暫存器，取樣閘鎖電路，閘鎖電路及合併前述電路的液晶顯示裝置

本發明係關於一種數位/類比轉換器電路，位準移位電路，含有此種位準移位電路之移位暫存器，取樣閘鎖電路及閘鎖電路以及架設有此等電路之液晶顯示裝置(LCD)，其中整合含有數位/類比轉換器電路之LCD裝置的驅動電路具有多晶矽薄膜電晶體排列成一矩陣於基板上作為像素交換裝置，一位準移位電路於移位暫存器具有CMOS閘鎖單元之基本結構，且係用於時脈信號位準移位之各移轉階段；一附有CMOS閘鎖單元基本結構之取樣閘鎖電路具有位準移位功能，此等個別電路可合併成為單一掃描型結構電路帶有驅動電路整合液晶顯示裝置來獲得一種LCD面板具有極窄圖幀、穩定位準移位操作、穩定取樣與閘鎖操作於具有極少數組件之電路結構、低功率消耗及小表面積。

英文發明摘要(發明之名稱： DIGITAL/ANALOG CONVERTER CIRCUIT, LEVEL SHIFT CIRCUIT, SHIFT REGISTER UTILIZING LEVEL SHIFT CIRCUIT, SAMPLING LATCH CIRCUIT, LATCH CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE INCORPORATING THE SAME

This invention relates to a digital/analog converter circuit, a level shift circuit, a shift register containing this level shift circuit, a sampling latch circuit and a latch circuit as well as a liquid crystal display device mounted with these respective circuits, wherein a drive circuit integrated with the LCD device containing the digital/analog converter circuit has polysilicon thin film transistors arrayed in a matrix on the substrate as switching devices for the pixels, a level shift circuit in the shift register has a basic structure of CMOS latch cells and is utilized in each level shift of the clock signal at

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

四、中文發明摘要(發明之名稱:)

英文發明摘要(發明之名稱:)

each transfer stage, a sampling latch circuit with a basic structure of CMOS latch cells has a level shift function, and these respective circuits may be incorporated into a single scanning type structural circuit with the drive circuit-integrated liquid crystal display device to provide an LCD panel with an extremely narrow picture frame, stable level shift operation, stable sampling & latch operation in a circuit structure having an extremely small number of components, low power consumption and a small surface area.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

461180

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	<input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
-------	-------------	-----	--

1.日本	1998年12月21日	特願平10-362283	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
2.日本	1999年02月01日	特願平11-023383	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
3.日本	1999年02月01日	特願平11-023384	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
4.日本	1999年02月01日	特願平11-023382	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
5.日本	1999年10月21日	特願平11-299188	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於一種數位/類比轉換器電路及結合該數位/類比轉換器電路之液晶顯示器(LCD)，及特別係關於所謂的驅動電路整合的液晶顯示器，其中參考電壓選擇器型數位/類比轉換器電路，及一含有此種數位/類比轉換器電路之驅動電路整合形成於一基板上，於該基板上，多晶矽薄膜電晶體排列成矩形作為像素之交換裝置。

本發明亦係關於一種位準移位電路，使用此種位準移位電路之移位暫存器及合併此種位準移位電路及移位暫存器之液晶顯示裝置，特別係關於一種位準移位電路具有包含CMOS門鎖單元之基本結構，一種位準暫存器利用此種位準移位電路於時脈信號之各位準移位於各移轉週期，以及一種所謂的驅動電路整合的液晶顯示器其結合此種位準移位電路或移位暫存器作為電路來配置掃描電路。

本發明亦係關於一種取樣門鎖電路，一種門鎖電路及一種液晶顯示器(LCD)結合門鎖電路，及特別係關於一種取樣門鎖電路具有位準移位功能及由CMOS門鎖單元組成的基本結構，一種門鎖電路及一種所謂的驅動電路整合的液晶顯示裝置結合取樣電路及門鎖電路作為配置掃描電路的電路。

2. 相關技術之說明

數位介面驅動電路藉薄膜電晶體(TFT)整合於作為像素段之相同基板，且包含相關技術之驅動電路整合的液晶顯

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

示器係顯示於圖34。第一及第二水平驅動器702、703架設於有效像素區701上方及下方且有像素排列成矩陣，例如垂直驅動系統704架設於圖34左側且連同薄膜電晶體及有效像素區701整合於同一基板上(後文稱作LCD面板)。

第一水平驅動器702係由一水平移位暫存器721、一取樣與第一門鎖電路722、一第二門鎖電路723及一DA(數位/類比)轉換器電路724組成。第二水平驅動器703同第一水平驅動器702係由一水平移位暫存器731、取樣與第一門鎖電路732、第二門鎖電路733及DA(數位/類比)轉換器電路734組成。垂直驅動系統704係由一垂直移位暫存器741組成。

當製造前述相關業界的驅動電路/液晶顯示裝置時出現一大問題，形成LCD面板之驅動電路表面積尺寸，換言之有效像素區701之周邊面積(後文稱作圖幀)。DA轉換器電路724、734之電路表面積特別要緊，原因在於LCD面板圖幀大小係由此等DA轉換器電路724、734面積決定。參考電壓選擇器型廣用作為DA轉換器電路用於驅動電路整合的液晶顯示器。其理由為參考電壓選擇器型就輸出電壓電位變化較小。

參考電壓選擇器型DA轉換器電路之電路結構顯示於圖35。此種電路顯示3位元8階DA轉換器結構。如圖35明白顯示，此種DA轉換器電路中，階選擇器單元708-0至708-7包含一選擇器電路705、門鎖電路706及解碼電路707對各階形成(參考電壓Vref F0至Vref F7)。

五、發明說明(3)

但於對DA轉換器結構顯示的結構中，由於閃鎖電路706及解碼器電路707係對各階形成，如圖35電路結構明白顯示，及大量元件構成該電路，因此當嘗試形成TFT組件的多階DA轉換器電路時，電路表面積變極大。結果當架設轉換器電路於液晶顯示裝置時，LCD面板圖幀大小大，結果造成整體裝置無法變精簡縮小的問題。

對組合參考電壓選擇器型DA轉換器電路與交換電容器俾便縮小電路表面積大小。但此種電路結構需要一種緩衝器電路，故緩衝器電路需要的電流消耗造成總電路電力消耗大增的問題。

由CMOS裝置組成之位準移位電路範例顯示於相關技術1之圖13。於此相關技術1之位準移位電路中，CMOS閃鎖單元101A具有基本結構包含N通道MOS(後文簡稱NMOS)電晶體Qn101A帶有一源極連結接地及一閘極藉一輸入信號in1供應，一NMOS電晶體Qn102A帶有一源極連結接地及一閘極藉一輸入信號in2供應，一P通道MOS(後文簡稱PMOS)電晶體Qp101A連結於電源供應器VDD與NMOS電晶體Qn101A間，以閘極連結至NMOS電晶體Qn102A的汲極；一PMOS電晶體Qp101A連結於NMOS電晶體Qn102A的汲極與電源供應器VDD間，以閘極連結至NMOS電晶體Qn101A的汲極。

例如於先前技術1之位準移位電路中，3伏的低電壓振幅信號被輸入作為信號1，而信號in2被輸入作為in1的反相信號。此等3伏的低電壓振幅輸入信號1和in2出現於NMOS電

五、發明說明(4)

晶體 Qn101A、Qn102A 的汲極作為電源供應器 VDD 的振幅。個別 NMOS 電晶體 Qn101A、Qn102A 的汲極輸出被輸出作為藉由反相器 103A 的反相輸出信號 xout 以及藉由反相器 102A 的輸出信號 out。如此，低電壓振幅信號 in1、in2 被位準移位至電源供應器 VDD 之高壓振幅信號 out 及 xout。

相關技術 2 之位準移位電路顯示於圖 14A。於此相關技術 2 之位準移位電路中，CMOS 閃鎖單元 201A 具有差異放大器結構包含一個 N 通道 MOS (後文簡稱為 NMOS) 電晶體 Qn201A 帶有一源極接地及一閘極由輸入信號 in1 供給，一 NMOS 電晶體 Qn202A 帶有一源極接地及一閘極由輸入信號 in2 供給，一個二極體連結 P 通道 MOS 電晶體 Qp201A 連結於電源供應器 VDD 與 NMOS 電晶體 Qn201A 之汲極間，及一 PMOS 電晶體 Qp202A 連結於 NMOS 電晶體 Qn202A 之汲極與電源供應器 VDD 間，且與 NMOS 電晶體 Qp201A 享有一共通閘極。

例如於相關技術 2 之位準移位電路，3 伏低電壓振幅信號被輸入作為信號 in1，及信號 in2 被輸入作為 in1 的反相信號。此種低電壓振幅 3 伏輸入信號 in1 出現於 NMOS 電晶體 Qn202A 之汲極作為電源供應器 VDD 電路的振幅。NMOS 電晶體 Qn202A 之汲極輸出藉由反相器 202A 被輸出作為輸出信號 out。藉此方式，低電壓振幅信號 in1 被位準移位成為電源供應器 VDD 之高電壓振幅信號 out。

但於前述相關技術 1 及 2 之位準移位電路中，要求足夠導通 NMOS 電晶體 Qn101A、Qn201A 或 NMOS 電晶體 Qn102A、

五、發明說明(5)

Qp202A之電壓作為輸入信號in1、in2的振幅。換言之，需要Vth或以上之電晶體閾電壓，而當無法滿足此種條件時位準移位電路無法操作。如此當嘗試利用帶有大閾電壓Vth之TFT(薄膜電晶體)經由使用由例如約3伏之CMOS-LSI裝置之輸出信號組成的位準移位電路輸入來移位適用電路位準至要求的高電壓時，出現偶爾獲得無法穩定位準移位的問題。

又雖然相關技術2之位準移位電路比較相關技術1之位準移位電路具有較小面積及較高速操作，但因PMOS電晶體Qp201A、Qp202A構成電流反射鏡電路，故當NMOS電晶體Qn202A被導通時，電流流動於PMOS電晶體Qp201A、Qp202A，因而相關技術2具有電流消耗量大的問題。

圖15A顯示之電路結構提議用來使用帶有TFT(薄膜電晶體)之位準移位電路解決前述問題。此種相關技術3之位準移位電路基本上係由一CMOS閘鎖單元30組成，該單元具有一差異放大器結構包含NMOS電晶體Qn301A、Qn302A及PMOS電晶體Qp301A、Qp302A。此種電路中，輸入信號in1、in2並非輸入CMOS閘鎖單元(差異放大器)301A之NMOS電晶體Qn301A、Qn302A之閘極，反而輸入係於直流移位至比電晶體之閾電壓更高的準位後輸入至閘極。

換言之，輸入信號in1、in2係經由NMOS電晶體Qn303A、Qn304A輸入NMOS電晶體Qn301A、Qn302A。同時極性與NMOS電晶體Qn301A、Qn302A之閘極輸入相反的信號，或換言之信號in2、in1輸入NMOS電晶體Qn301A、Qn302A之

五、發明說明(6)

源極，俾便可靠地比較輸入信號in1、in2。因此電流反射鏡包含NMOS電晶體Qn303A、Qn304A透過一共通閘極連結至一個二極體連結NMOS電晶體Qn305A。

又於相關技術3之電路，PMOS電晶體Qp303A、Qp304A、Qp305A係連結於電源供應器VDD與NMOS電晶體Qn303A、Qn304A、Qn305A之汲極間。此等PMOS電晶體Qp303A、Qp304A、Qp305A構成一電流鏡向電路，利用一共同閘極連結二極體連結的PMOS電晶體Qp306A。NMOS電晶體Qn305A之源極直接連結接地，及PMOS電晶體Qp306A藉電源供應器I接地。

因此，相關技術3之位準移位電路可滿足所需條件，經由外加直流移位後供應輸入信號in1、in2至NMOS電晶體Qn301A、Qn302A之閘極而達成穩定位準移位操作，因此輸入信號in1、in2之振幅為足夠導通NMOS電晶體Qn301A、Qn302A之電壓，即使於帶有大閾電壓 V_t 之TFT(薄膜電晶體)之位準移位電路亦如此。但降低電源電壓VDD而維持電路的動態範圍困難，結果出現無法達成帶有低功率消耗的TFT電路系統之問題。

相關技術之具有由CMOS裝置組成的位準移位功能之取樣閘鎖單元電路顯示於圖10B。此種相關技術之閘鎖單元電路基本上包含一比較器結構CMOS閘鎖單元101，具有一N通道(後文簡稱NMOS)MOS電晶體Qn101B帶有輸入信號in1作為閘極輸入及一源極接地，一NMOS電晶體Qn102B帶有輸入信號in2作為閘極輸入及一源極接地，一P通道MOS

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

電晶體(後文簡稱PMOS)Qp101B係連結於電源供應器VDD與NMOS電晶體Qn101B之汲極間且有一閘極連結至NMOS電晶體Qn102B之汲極,以及一PMOS電晶體Qp102B連結於電源供應器VDD與NMOS電晶體Qn102B之汲極間,且有一閘極連結至NMOS電晶體Qn101B之汲極。

來自本CMOS閘鎖單元101B之NMOS電晶體Qn102B及Qn101B之汲極輸出藉反相器102B、103B及取樣開關104B、105B被閘鎖於一閘鎖電路106B。閘鎖電路106B之另一閘鎖輸出由反相器107B反相且供給作為輸出信號out,及另一閘鎖輸出由反相器108B反相且供給作為xout,其為輸出信號out的信號反相。

前述相關技術之取樣閘鎖電路構造中,例如3伏低電壓振幅信號輸入作為in1,及反相in1信號輸入作為in2。3伏低電壓振幅信號in1及in2於CMOS閘鎖單元101B暫時被增壓至電源供應電壓VDD,及然後於透過反相器102B及103B通過後,於取樣開關104B、105B藉取樣脈衝SP取樣並儲存於閘鎖電路106B。於由反相器107B及108B反相後,此等信號被送出作為輸出信號out、xout。

但前述先前技術之取樣閘鎖電路係由多個電路裝置(或元件)組成,因而無法達成小型表面積。進一步當包含利用於TFT(薄膜電晶體)具有大閾電壓 V_{th} 之裝置的電路時,輸入信號in1及in2之電壓振幅比較閾電壓 V_{th} 過小,結果無法可靠地導通電晶體,因而造成無法發揮取樣功能的問題。

五、發明說明(8)

相反地，圖1B所示相關技術相對容易操作，即使裝置具有高閾電壓 V_{th} 亦如此。其它相關技術之取樣門鎖電路具有可利用電容器移位信號直流準位的結構。換言之開關201B之輸入信號in1之輸出以及開關202B之輸入信號in2之輸出共同連結，開關電容器203B之一端連結至該共通點。電容器203B之另一端連結至開關204B及205B之一端以及連結至反相器206B的輸入。

反相器207B之輸出端係連結至開關205B之另一端。開關204B之另一端、反相器206B之輸出及反相器207B之輸入係共通連結，而反相器208B之輸入連結至該共通點，且由反相器208B之輸出送出輸出信號out。

前述相關技術之取樣門鎖電路構造中，利用開關電容器203B作為比較器及電路作業如後。首先，響應等化脈衝Eq藉由設定開關202B、204B為開進行電路復置。但隨後響應等化脈衝SP藉轉開開關201B取樣低電壓振幅輸入信號in1。其次當比較電容器203B之輸入信號in2時，此種取樣信號in1被位準移位，及最後藉響應門鎖脈衝LT打開開關205B而門鎖於門鎖電路206B、207B。

藉此方式，前述相關技術之取樣電路，即使電路包含具有高閾電壓的TFT仍可容易利用電容器203B移位輸入信號in1之直流準位操作，因而可達成穩定取樣及門鎖作業。但此種電路之問題為由於復置過程中電路需流動直流電流，故難以達成低電流消耗。進一步電路操作需要多型脈衝也需要複雜的控制電路，原因在於時序控制困難因而無

五、發明說明(10)

具有位準移位功能之相關技術2之門鎖電路顯示於圖11C。此種相關技術2之門鎖電路包含第一及第二開關201C及202C用以響應門鎖脈衝輸入第一及第二輸入信號in1、in2，及一CMOS門鎖單元203C藉由開關201C及202C門鎖各信號輸入。

此處，CMOS門鎖單元203C係由二CMOS反相器206C及207C並聯連結組成帶有一電源供應端204C及一電源供應線205C用於比電源供應電壓VSS1更低的電源供應電壓VSS2。CMOS反相器206C之輸入端子係連結至另一CMOS反相器207C之輸出端子，及另一CMOS反相器207C之輸入端子係連結至另一CMOS反相器206C之輸出端子。

此種相關技術2之門鎖電路中，介於VDD與VSS之低電壓振幅信號被輸入作為in1，及信號in1的反相信號被輸入作為in2。此等低電壓振幅信號in1及in2藉由開關101C及102C響應門鎖脈衝打開而被門鎖於CMOS單元電路203C作為VDD與VSS2間之一振幅信號，然後此等振幅信號未變更地輸出作為輸出信號out1及out2。

但於相關技術1之門鎖電路中，於CMOS門鎖單元103C之稍後階段安裝位準移位電路104C為有必要，因此組成此種門鎖電路之裝置(元件)數目變大，造成無法達成精簡尺寸(小面積)電路的問題。但於相關技術2之門鎖電路中，雖然無需安裝位準移位電路且電路裝置數目比相關技術1之門鎖電路少，但須放寬低電壓振幅信號俾便門鎖作為高電壓振幅信號，故前一階段的信號緩衝大小過大，也造成無

(請先閱讀背面之注意事項再填寫本頁)

線

訂

裝

五、發明說明 (11)

法達成精簡尺寸(小面積)電路的問題。

但當製造一種驅動電路整合的液晶顯示器包含一數位介面驅動電路整合多晶矽TFT之像素區於玻璃基板(液晶面板)上，帶有矽TFT(薄膜電晶體)排列成為二維矩陣作為像素交換裝置時，小面積之閘鎖電路變成縮窄形成驅動電路的像素周邊區(圖幀)寬度的必要因素。

換言之，於驅動電路整合的液晶顯示器中，需對各行線/各位元提供閘鎖電路。由於此種閘鎖電路之需要量等於水平點數乘以位元數，故無法使閘鎖電路變小，結果導致液晶面板的圖幀寬度必須變大的問題。

進一步，於驅動電路整合的液晶顯示器中，架設具有前述位準移位功能之閘鎖電路，於第二電源供應器(例如VSS2電源供應器)之電流流動偶爾必須降低至極小量。例如於使用TFT(薄膜電晶體)製造的驅動電路整合的液晶顯示器中，可架設帶有水平驅動系統電路配置及閘鎖電路，同時嘗試製造一帶有TFT(薄膜電晶體)之第二電源供應產生器電路。

某些案例中，流至第二電源供應產生器電路之總電流考慮帶有位準移位功能之閘鎖電路數目大，故總電流需變大。但可維持夠大電流量之帶有TFT(薄膜電晶體)之電源供應產生器電路之製造極端困難。結果整合第二電源供應產生器電路至帶有薄膜電晶體之玻璃基板難以達成，結果導致周邊電路尺寸(表面積)加大的問題。

相關技術1及2之閘鎖電路被配置成可進行介於VDD與

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

VSS1間之低電壓振幅信號in1及in2位準移位成為VDD與VSS2間之信號振幅，但也可進行位準移位至第三電源供應電壓VDD2($VDD2 > VDD$)。

相關技術顯示於圖12C及圖13C。圖12C為對應圖10C之相關技術3之例。圖13C為對應圖11C之相關技術4之一例。相關技術3之門鎖電路於位準移位電路104C之最末階段包含一第二位準移位電路111C，該電路係連結於電源供應電壓VSS2之電源供應線109C與比電源供應電壓VDD更高的電源供應電壓VDD2之電源供應線110間。它方面，相關技術4之門鎖電路為CMOS門鎖單元203C，且係連結於電源供應電壓VSS2之電源供應線205C與比電源供應電壓VDD更高的電源供應電壓VDD2之電源供應線208C間。

相關技術3之門鎖電路及相關技術4之門鎖電路也具有同前述相關技術1之門鎖電路及相關技術2之門鎖電路之問題。

發明概述

有鑑於前述先前技術之相關問題，本發明之目的係提供一種液晶顯示裝置及DA(數位/類比)轉換器電路架設於液晶顯示裝置，其具有僅由少數元件組成的電路，不會增加電源消耗量也有助於確保LCD面板圖幀帶有窄寬度。

本發明之DA(數位/類比)轉換器電路包含 $2n$ 階選擇單元， n 為串聯連結類比開關數目，極性匹配各資料信號 n 位元邏輯(n 為2或2以上的整數)，且分別連結跨各 $2n$ 參考電壓線的輸出。參考電壓選擇DA轉換器電路係架設於驅動

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(13)

電路整合的液晶顯示裝置作為該驅動電路的一部分。

此種DA(數位/類比)轉換器電路及安裝有此種DA轉換器電路之液晶顯示裝置中，階選擇單元配置有n個類比開關交互串聯連接且具有極性對應於資料信號位元邏輯，階選擇單元係連結於像素行線與參考電壓線間，可配置有解碼電路的相同電晶體來解碼資料信號，及選擇開關選擇對應於來自解碼電路之解碼輸出的參考電壓，如此減少電路需要的電路元件數目。

又鑑於前述相同技術問題，本發明之進一步目的係提供一種位準移位電路及一種安裝有此種位準移位電路之液晶顯示裝置，其可與小表面積及低電力消耗從事穩定高速位準移位操作，即使電路利用具有高閾電壓 V_{th} 之裝置亦如此。

本發明之位準移位電路具有CMOS門鎖單元作為位準移位電路的基本結構，用以將低電壓振幅信號於結構中轉成高電壓振幅信號，該結構具有電阻器元件嵌置於CMOS門鎖單元之二輸入信號源與二輸入段間。

本發明之移位暫存器包含一第一位準移位電路包含複數移轉階段供給一開始信號至移轉階段之初階段作為位準移位，及一第二位準移位電路供給一時脈信號至各移轉階段作為位準移位，其中本發明之位準移位電路係由第一及第二位準移位電路組成。

本發明之驅動電路整合的液晶顯示裝置包含一驅動電路，帶有掃描系統整合於像素段之相同基板，構成掃描系

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明（14）

統之電路之一利用前述位準移位電路或移位暫存器。

位準移位電路中，移位暫存器利用此種位準移位電路以及液晶顯示裝置架設有此種移位暫存器，電阻器元件分別嵌置於CMOS閘鎖單元之二輸入信號源及二輸入段間，外加二輸入信號至CMOS閘鎖單元之二輸入段作為個別直流移位。此種直流移位許可獲得電壓足夠導通構成CMOS閘鎖單元之各電晶體。因此本發明之位準移位電路及移位暫存器可與帶有大閾電壓 V_{th} 之裝置相容。

本發明之一目的係提供具有小表面積及低電力消耗的取樣電路，以及可與具有大閾電壓 V_{th} 之裝置如TFT裝置相容的取樣電路整合的LCD。

又鑑於前述相關技術的問題，本發明又有一目的係提供一種具有低電路消耗及小表面積之取樣閘鎖電路，及一種架設有此種取樣閘鎖電路之液晶裝置，其甚至適用於具有大閾電壓 V_{th} 之裝置。

本發明之取樣閘鎖電路包含比較器型CMOS閘鎖單元作為基本結構，此種CMOS閘鎖單元具有一第一開關連結於二輸入信號源與CMOS閘鎖單元之二輸入段間，及一第二開關連結於電源供應線與CMOS閘鎖單元之電源供應端間，及一控制裝置用以控制第一及第二開關的互補交換。

本發明之驅動電路整合的液晶顯示裝置包含於驅動電路帶有掃描系統整合於作為像素段之相同基板上，構成掃描系統之電路之一係利用前述取樣閘鎖電路。

於前述本發明之取樣電路及架設有該取樣電路之液晶顯

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (15)

示裝置中，二輸入信號的取樣係藉打開(閉路)第一開關進行。此取樣期間第二開關為關(閉路)。因此CMOS閃鎖單元被切斷電源供應。取樣期間結束隨後打開第二開關，於CMOS閃鎖單元被供電之例，小電壓振幅輸入信號被閃鎖於電源供應電壓振幅信號。

又鑑於前述相關技術之問題，本發明又有一目的係提供一種閃鎖電路及帶有該閃鎖電路之液晶顯示裝置，其可限制流至電源供應器的電流也具有小表面積。

本發明之閃鎖電路具有基本結構包含一CMOS閃鎖單元，一第一開關及一第二開關安裝於CMOS閃鎖之正電源供應端或負電源供應端之至少一者來分別選擇具有不同電源供應電壓之第一及第二電壓供應，以及一控制裝置來根據CMOS閃鎖單元之閃鎖操作及輸出操作間期控制第一開關及第二開關的交換。

本發明之包含一驅動電路帶有掃描系統整合於像素段之相同基板之驅動電路整合的液晶顯示裝置中，構成掃描系統之電路之一係利用前述閃鎖電路。

前述閃鎖電路及本發明之架設有該閃鎖電路之液晶顯示裝置中，二輸入信號的閃鎖係基於第一電源供應進行，於閃鎖操作期間藉由打開(閉路)第一開關且取樣閃鎖CMOS閃鎖單元之輸入信號進行。其次於輸出作業期間，打開第二開關而轉變(位準移位)至第二電源供應位準之與第一電源供應位準不同的位準，且進行輸出操作。結果，由第一電源供應電壓決定的信號振幅被輸出作為由第二電源供應

五、發明說明(16)

電壓決定的信號振幅。

當然本發明也適用於具有前述功能之電路或安裝有全部或部分該電路組合及調整適應的組合。進一步，電路的組合及調整適應於本發明架設於其它裝置例如液晶顯示裝置以外的CMOS裝置時也適用。

圖式之簡單說明

圖1為方塊圖顯示本發明之第一具體例之驅動電路整合的液晶顯示裝置之系統配置。

圖2為電路圖顯示有效像素區之構造。

圖3為基本布局圖顯示參考電壓選擇DA轉換器電路。

圖4為電路圖顯示參考電壓選擇DA轉換器電路之基本電路構造。

圖5為剖面圖顯示單晶矽電晶體之典型構造。

圖6為剖面圖顯示多晶矽薄膜電晶體之典型構造。

✓圖7為電路圖顯示本發明之第一具體例之位準移位電路。

✓圖8為時序圖舉例說明本發明之第一具體例之位準移位電路之電路操作。

圖9為直流電壓作為參考電壓時之時序圖。

✓圖10為電路圖顯示第一具體例之位準移位電路之調整適應例。

圖10B為電路圖顯示相關技術。

圖10C為另一電路圖顯示相關技術1。

✓圖11為電路圖顯示第一具體例之位準移位電路之另一調

五、發明說明（17）

整適應例。

✓ 圖11B為電路圖顯示相關技術之另一例。

圖11C為另一電路圖顯示相關技術2。

✓ 圖12為電路圖顯示第一具體例之位準移位電路之又另一調整適應例。

圖12C為另一電路圖顯示相關技術3。

圖13為時序圖舉例說明加入復置電路時之電路操作。

圖13A為相關技術1之電路圖。

圖13C為另一電路圖顯示相關技術4。

圖14為用以產生復置信號之電路圖。

圖14A為相關技術2之電路圖。

✓ 圖15為電路圖顯示本發明之第二具體例之位準移位電路。

圖15A為相關技術3之電路圖。

圖16為電路圖顯示本發明之第二具體例之位準移位電路之調整適應例。

圖17為方塊圖顯示水平移位暫存器之典型構造。

圖18為電路圖顯示本發明之第一具體例之取樣維持電路。

圖19為時序圖舉例說明本發明之第一具體例之取樣維持電路之電路操作。

圖20為當輸入信號in1之反相信號被設定作為輸入信號in2時之時序圖。

圖21為電路圖顯示本發明之第一具體例之取樣維持電路

五、發明說明 (18)

之調整適應例。

圖 22 為電路圖顯示本發明之第二具體例之取樣維持電路。

圖 23 為方塊圖顯示當取樣維持電路利用作為具體例之取樣及第一門鎖電路時之細節構造。

圖 24 為方塊圖顯示當反相數位資料用作輸入信號 in2 時之構造。

圖 25 為方塊圖顯示圖 24 之調整適應例。

圖 26 為電路圖顯示門鎖電路之第一具體例。

圖 27 為時序圖舉例說明本發明之第一具體例之門鎖電路之電路操作時序。

圖 28 為時序圖舉例說明本發明之第一具體例之門鎖電路之另一電路操作時序。

圖 29 為電路圖顯示本發明之第一具體例之門鎖電路之細節範例。

圖 30 為電路圖顯示本發明之第二具體例之門鎖電路。

圖 31 為電路圖顯示本發明之第三具體例之門鎖電路。

圖 32 為方塊圖顯示當第二門鎖電路用於具體例作為門鎖電路時之細節構造。

圖 33 為方塊圖顯示圖 32 之調整適應例。

圖 34 為方塊圖顯示相關技術之系統構造。

圖 35 為電路圖顯示典型參考電壓選擇 DA 轉換器電路。

較佳具體例之說明

其次參照附圖說明本發明之具體例之進一步細節。圖 1

五、發明說明(19)

為方塊圖顯示本發明之第一具體例之驅動電路整合的液晶顯示裝置之系統配置。圖1中，有效像素區11為排列成矩陣之像素，第一及第二水平驅動系統12、13設置於像素區11上方及下方，及垂直驅動系統14例如設置於附圖左邊。

水平驅動系統無需經常位於有效像素區11上方或下方，而可僅位於有效像素區11上方或下方的任一邊。垂直驅動系統也可位於如附圖所示的右邊或可設置於左邊。第一及第二水平驅動系統12、13及垂直驅動系統14整合於TFT(薄膜電晶體)有效像素區11的相同基板(例如玻璃製成的第一板)上。第二板例如玻璃製成(未顯示於附圖)可設置於面對第一板的規定距離。例如構成液晶TN之液晶層係夾持於二板間。

第一水平驅動電路12係由一水平移位暫存器121、一取樣與門鎖電路122、一第二門鎖電路123、一位準移位器124及一DA轉換器電路(DAC)125組成。第二水平驅動電路13以第一水平驅動電路12之相同方式係由一水平移位暫存器131、一取樣與門鎖電路132、一第二門鎖電路133、一位準移位器134及一DA轉換器電路(DAC)135組成。垂直驅動電路14包含一垂直移位暫存器141。

有效像素區11之像素20之典型構造顯示於圖2。像素20包含一TFT 21作為交換元件，一液晶單元22帶有像素電極連結至TFT 21之汲極電極，及一輔助電容器23帶有電極連結至汲極電極TFT 21之一電極。此種像素構造中，各像素

五、發明說明(20)

20之TFT 21之閘極電極係連結至垂直選擇線其為列(線)24m-1、24m、24m+1……，各像素之TFT 21之源極電極係連結至信號線其為行(線)25n-1、25-n、25n+1……。

液晶單元22之電極係連結至一共用線26外加一共通電壓VCOM。此處例如採用共通反相驅動方法來每1H(一個水平間期)反相共通電壓VCOM作為驅動液晶單元22之方法。因利用此種共通反相驅動方法可每個1H反相共通電壓VCOM之極性，故低電壓可用於第一及第二水平驅動系統12及13，且可降低整體裝置之電源消耗。

其次說明第一及第二水平驅動系統12及13之各段操作。後文說明係以第一水平驅動系統12為例，但此項說明同等適用於第二水平驅動系統13的操作。

第一水平驅動系統12中，水平移轉脈衝1，或換言之水平開始脈衝HST1及水平時脈脈衝HCK1供給水平移位暫存器121。然後水平移位暫存器121響應水平開始脈衝HST1使用水平時脈脈衝HCK1間期進行水平掃描。取樣與第一門鎖電路122與水平移位暫存器121之水平掃描同步化，且循序取樣數位資料及然後門鎖被取樣的資料至各行線25n-1、25n、25n+1……。

第二門鎖電路123響應1H間期供應的門鎖信號，再度門鎖(或再度門鎖)對應於取樣與第一門鎖電路122於各個1H間期門鎖於行線的門鎖資料。位準移位器124對第二門鎖電路123再度門鎖的門鎖資料移位信號準位(振幅)至規定準位且供給該信號至DA轉換器電路125。由位準移位器

五、發明說明(21)

124移位的位準與後文相關。

它方面，於垂直驅動系統14，垂直移轉脈衝，或換言之垂直開始脈衝VST及垂直時脈脈衝VCK供應垂直移位暫存器14。然後垂直移位暫存器14響應垂直開始脈衝VST於垂直時脈脈衝VC間期進行垂直掃描，且供應一循序列選擇信號於列單元用於有效像素區11。

參考電壓選擇DA轉換器電路可由接收自位準移位器124、134之經過位準移位的資料以步進數據由參考電壓中選擇一目標參考電壓，該DA轉換器電路被用作第一及第二水平驅動系統12、13之DA轉換器電路125、135。此等參考電壓選擇DA轉換器電路125、135之細節電路結構係關聯列舉本發明特點該節。

參考電壓選擇DA轉換器電路之基本構造顯示於圖3。此處說明利用電路結構具有 $8(=2^3)$ 步進參考電壓Vref0至Vref7用於3位元數位資料(b2、b1、b0)為範例。又於圖3顯示對應行線25n之DA轉換器電路之電路配置，但適用於本發明之DA轉換器電路提供於各行線。

圖3中，各階選擇單元30至37設置於8階參考電壓Vref0至Vref7。此等階選擇單元30至37之結構包含三個交互串聯連結類比開關根據各數位資料位元(b2、b1、b0)之邏輯偏極化(正/負)。換言之，階選擇單元30包含三個負極性類比開關301、302、303對應資料「000」且連結至Vref0之參考電壓線38-0及行線25n。階選擇單元31係由二負極性類比開關311、312及一正極性類比開關313交互串聯連結

五、發明說明(22)

組成，對應資料「001」且係連結於Vref1之參考電壓線38-1與行線25n間。

階選擇單元32係由一負極性類比開關321、312及一正極性類比開關322及一負極性類比開關322交互串聯連結組成，對應資料「010」且係連結於Vref2之參考電壓線38-2與行線25n間。階選擇單元33係由一負極性類比開關331、312及二正極性類比開關332及333交互串聯連結組成，對應資料「011」且係連結於Vref3之參考電壓線38-3與行線25n間。

階選擇單元34係由二負極性類比開關342、343及一正極性類比開關341交互串聯連結組成，對應資料「100」且係連結於Vref4之參考電壓線38-4與行線25n間。階選擇單元35係由一正極性類比開關351、一負極性類比開關352及一正極性類比開關353交互串聯連結組成，對應資料「101」且係連結於Vref5之參考電壓線38-5與行線25n間。

階選擇單元36係由一負極性類比開關36與二正極性類比開關361及362交互串聯連結組成，對應資料「110」且係連結於Vref6之參考電壓線38-6與行線25n間。階選擇單元37係由三個正極性類比開關371、372、373交互串聯連結組成，對應資料「111」且係連結於Vref3之參考電壓線38-7與行線25n間。

圖4為電路圖顯示參考電壓選擇DA轉換器電路125之基本電路構造。相同參考編號標示與圖3相同區段。該構造利用對應於各數位資料位元(b2、b1、b0)之邏輯的導電(N

五、發明說明(23)

通道、P通道)MOS電晶體作為階選擇單元30至37八個階段之三個類比開關。

圖4中，階選擇單元30分別利用P通道MOS電晶體(後文稱作PMOS)Qp301、Qp302及Qp303作為對應於資料「000」之類比開關301、302、303，且此等開關製造成串聯排列。階選擇單元31利用PMOS電晶體Qp311、Qp312及N通道MOS電晶體(後文稱作NMOS)Qn313分別作為對應於資料「001」之類比開關311、312、313，且此等開關製造成串聯排列。

階選擇單元32利用PMOS電晶體Qp321及NMOS電晶體Qn322及PMOS電晶體Qp323分別作為對應於資料「010」之類比開關321、322、323，且此等開關係製造成串聯排列。階選擇單元33利用PMOS電晶體Qp331及NMOS電晶體Qn332、Qn333作為對應於資料「011」之類比開關321、322、323及此等開關製造成串聯排列。

階選擇單元34利用NMOS電晶體Qn341及PMOS電晶體Qp342、Qp343作為對應於資料「100」之類比開關341、342、343且此等開關製造成串聯排列。階選擇單元35利用NMOS電晶體Qn351及PMOS電晶體Qp352及NMOS電晶體Qn353作為對應於資料「101」之類比開關351、352、353且此等開關製造成串聯排列。

階選擇單元36利用NMOS電晶體Qn361、Qn362及PMOS電晶體Qp363作為對應於資料「110」之類比開關361、362、363且此等開關係製造成串聯排列。階選擇單元37利

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

用 NMOS 電晶體 Qn371、Qn372、Qn373 作為對應於資料「111」之類比開關 371、372、373 且此等開關係製造成串聯排列。

前述參考電壓選擇 DA 轉換器電路 125 之構造利用一個 PMOS 電晶體或一個 NMOS 電晶體用於各該 n 個類比開關，帶有極性對應於各該 n 個 (n 係大於或等於 2) 數位資料位元邏輯，其利用方式係製造 PMOS 電晶體與 NMOS 電晶體的組合而對目標階包含 $2n$ 階選擇單元，因此可達成一種具有小表面積之多階 DA 轉換器電路，結果可獲得具有極窄寬度圖幀之 LCD 面板。其理由解說如後。

(1) 圖 3.5 所示習知技術電路之解碼電路 707 及選擇器開關 705 係由同一電晶體配置而成，因此構成電路的元件數目可維持極少。

(2) TFT 電路不含井來分隔各元件，且因形成開關的 PMOS 及 NMOS 電晶體可形成為連續緊密鄰近，故電路佔有的空間變得極小。

進一步解說(2)理由，比較單晶矽電晶體構造。此項比較係利用一個 NMOS 電晶體及一個 PMOS 電晶體串聯形成之例。首先考慮圖 5 所示單晶矽電晶體構造， N^+ 擴散區 43、42 係以固定間隔距離形成於 P 型矽基板 41 之基板表面上。閘極電極 45 係透過閘極絕緣體膜 44 設置於 N^+ 擴散區 43、42 間之通路上方，如此形成 NMOS 電晶體。此處 N^+ 擴散區 42 形成汲/源區，及 N^+ 擴散區 43 形成汲/源區。

為了形成 PMOS 電晶體毗鄰 NMOS 電晶體，隔開元件用之

五、發明說明 (25)

N井46係藉由參照N型雜質形成。然後P+擴散區47、48以固定間隔距離形成於N井46內部之基板面側。閘極電極49係透過閘極絕緣體膜44形成於P+擴散區47、48間之通路上方，如此形成PMOS電晶體。此處P+擴散區47形成汲/源區，及P+擴散區48形成汲/源區。

為了形成串聯連結之二電晶體，形成汲/源區之N+擴散區43及形成汲/源區之P+擴散區47藉中間層絕緣體膜49連結至鋁布線50。又形成NMOS電晶體之汲/源區之N+擴散區44係連結至鋁電極51，及形成PMOS電晶體之汲/源區之P+擴散區48係連結至鋁電極52。

其次於例如多晶矽TFT結構之底閘極之例，閘極電極54、55係以固定間隔形成於玻璃基板53上，如圖6所示，及多晶矽層57係藉由閘極絕緣體膜44形成於閘極電極54、55上方。

然後形成NMOS電晶體之汲/源區之擴散層58、形成NMOS、PMOS電晶體二者之汲/源區之擴散層59，以及形成PMOS電晶體之汲/源區之擴散層60係形成於矽氧化物層56於閘極電極54及55側。鋁電極62及63分別藉中間層絕緣體膜61連結至擴散層58、60。

經由比較圖6電晶體結構與圖5電晶體結構明白顯示，於多晶矽TFT結構之例，並無井(46)分開元件，如單晶矽電晶體所存在者，因此NMOS電晶體及PMOS電晶體可以緊密鄰近方式形成，結果電路佔有的面積可維持極小。

但於利用共通(VCOM)反相驅動方法之液晶顯示裝置具

五、發明說明(26)

有DA轉換器電路選擇於0至5伏位準範圍之參考電壓，此時MOS電晶體用作為前述類比開關，當PMOS電晶體之閾值設定為 V_{thp} ，及NMOS電晶體設定為閾值 V_{thn} 俾使維持於選定參考電壓之動態範圍時，則選定資料信號之低準位需於0- V_{thp} 伏以內，而高準位需為5伏+ V_{thn} 或以上。

因此由於設定選定資料信號之振幅低抵PMOS電晶體之閾值 V_{thp} 相對於參考電壓範圍，也需要高度NMOS電晶體之閾值 V_{thn} (例如於上例為0伏- V_{thp} 至5伏+ V_{thn})，則於本具體例於圖1系統結構，位準移位器(位準移位電路)124、134係設置於DA轉換器電路125、135之前期階段，及該配置用來利用此等位準移位器124、134之位準移位獲得選定資料信號振幅。

此種配置許可參考電壓選擇DA轉換器電路以及小表面積達成，而無需對取樣與第一閃鎖電路122、132設定高電源供應電壓。但當原先選定資料信號振幅可滿足所述條件時，顯然可知，無需設置位準移位器124、134即可維持選定參考電壓之動態範圍。

利用作為位準移位器124、134之位準移位電路之電路結構之細節說明敘述如後。

電路圖顯示第一具體例之位準移位電路示於圖7。此第一具體例之位準移位電路中，CMOS閃鎖單元70具有基本構造包含一CMOS反相器71包含一PMOS電晶體 Q_{p11} ，及一NMOS電晶體 Q_{n11} 帶有共同連結的源極及汲極，及一CMOS反相器72包含一PMOS電晶體 Q_{p12} 及一NMOS電晶體

五、發明說明(27)

Qn12帶有共同連結的源極及汲極，且CMOS反相器71及72係介於電源與接地間交互並聯連結。

此種CMOS門鎖單元70中，CMOS反相器71之輸入(換言之MOS電晶體Qn11、Qp11之共通連結點)係連結CMOS反相器72之輸出(換言之MOS電晶體Qn12、Qp12之共通汲極連結點)。進一步CMOS反相器72之輸入(換言之MOS電晶體Qn12、Qp12之共通閘極連結點)係連結CMOS反相器71之輸出(換言之MOS電晶體Qn11、Qn12)。

電阻器元件R11係連結於CMOS反相器71之輸入與第一電路輸入端子73間，及電阻器元件R12係連結於CMOS反相器72之輸入與第二電路輸入端子74間。又電阻器元件R13係連結於電源供應器VDD與CMOS反相器71之輸入間，及電阻器元件R14係連結於電源供應器VDD與CMOS反相器72之輸入間。進一步反相器77係連結於第一電路輸出端子75與節點①間，節點②為電阻器元件R12、R14之共通連結點。反相器78係連結於第二電路輸出端子76與節點①間，節點①為電阻器元件R11、R12之共通連結點。

於第一具體例之位準移位電路中，帶有振幅 V_p 約3伏之信號in1例如輸入至第一電路輸入端子73，及輸入信號in2其為輸入信號in1的反相係輸入至第二電路輸入端子74。

此處例如電路作業係參照圖8時序解釋，當輸入信號in2邏輯為「0」(=2伏)，及輸入信號in1邏輯為「1」(= V_p)時，為了於CMOS門鎖單元70將NMOS電晶體Qn11導通，電流於路徑由電源供應器VDD流至電阻器元件R14，流至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

節點②，流至NMOS電晶體Qn11至接地；以及同時爲了將PMOS電晶體Qp12導通，電流於路徑由電源供應器VDD流至PMOS電晶體Qp12之節點①，至電阻器元件R11，至第二電路輸入端子73。

此時跨電阻器元件R11、R14出現電壓降，而節點①及②之電壓電位升高量等於此電壓降。換言之，於節點①及②之電壓電位做出直流移位。由於節點①具有比節點②更大的移位，故比較輸入信號in1、in2之振幅差異，由節點①及②可得較大振幅差異。

CMOS反相器71、72之更尖銳的操作點可藉由使用電阻器元件R13、R14偏壓節點①及②決定。節點②之電壓電位藉反相器77反相，且由第一電路輸出端子75輸出作爲VDD振幅輸出信號out。節點①之電壓電位由反相器78反相，且由第二電路輸出端子76輸出作爲out的經反相的輸出信號，換言之反相輸出信號xout。

前述電路操作中，例如振幅Vp之3伏輸入信號in1、in2被位準移位至電源供應器VDD振幅輸出信號out、xout。又當輸入信號in1邏輯爲「0」及輸入信號in2邏輯爲「0」時，位準移位操作係以前述電路操作之完全顛倒方式進行。

藉此方式，連結於CMOS門鎖單元70之二輸入段間的電阻器元件R11、R12，換言之連結於CMOS反相器71、72之信號源亦即二電路輸入端子73、74間之電阻器元件被輸入信號in1、in2輸入，輸入信號in1、in2造成直流移位，因此利用CMOS門鎖單元70之二輸入段被外加輸入，構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

CMOS閘鎖單元70之各電晶體可以夠大電壓被導通，因此可以高速達成穩定位準移位操作，即使電路使用帶有高閾值之裝置如TFT(薄膜電晶體)亦如此。

此外，僅藉由增加電阻器元件於CMOS閘鎖單元70之基本電路可達成小表面積，且可達成低電源消耗，原因在於即使電源供應電壓VDD有下降，位準移位操作仍可可靠地進行。又，藉由連結電阻器元件R13、R14介於電源供應器VDD與CMOS閘鎖單元70之二輸入端間以及偏壓節點①及②，可明顯決定CMOS反相器71、72之操作點，因而可達成穩定位準移位操作。

於第一具體例之位準移位電路，輸入信號in2被輸入作為輸入信號in1的反相，但因輸入信號in1之邏輯(位準)足夠，故無需經常使用反相信號，以及例如(0)伏至電源供應電壓VDD範圍之選擇性直流電壓可用作為參考電壓Vref來決定輸入信號in1的邏輯。圖9為時序圖顯示當直流參考電壓Vref($0 \leq Vref \leq VDD$)用作輸入信號in2之例。

圖7電路說明一例其中二輸出信號out及xout被輸出作為非反相及反相輸出信號，但可使用一種配置其中僅有一種輸出信號被輸出。此種情況下，二反相器77、78中有一者變成不需要。

顯示第一具體例之位準移位電路之調整適應例或變化例之電路圖顯示於圖10。此圖中，於圖7相等區段相同區段帶有相同參考編號。於此種位準移位電路之調整適應例中，帶有閘極連結至電源供應器VDD之NMOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

Qn13、Qn14被用作電阻器元件R11、R12，以及閘極連結接地的PMOS電晶體Qp13、Qp14被用作電阻器元件R13、R14。

因此電路操作同圖7電路，即使電阻器元件R11至R14係使用電晶體達成亦如此。時序同圖8及圖9。此種電路適應例中，電阻器元件R11、R12為NMOS，而電阻器元件R13、R14為PMOS，但只要電晶體之值等於個別電阻器元件，任一種電晶體極性皆可使用。

顯示第一具體例之位準移位電路之另一調整適應例或變化例之電路圖顯示於圖11。此圖中，同圖10相同區段之區段帶有相同的參考編號。此種圖10位準移位電路之調整適應例結構中，NMOS電晶體Qn13、Qn14及PMOS電晶體Qp13、Qp14係利用控制信號CNTL交換。換言之，由控制電路(未顯示於附圖)輸入控制端子79的主動「H」控制信號CNTL外加至NMOS電晶體Qn13、Qn14之閘極，且於藉反相器79反相後也外加至PMOS電晶體Qp13、Qp14之閘極。

藉此方式，獲得一種結構用以利用控制信號CNTL交換CMOS閘鎖單元70之電晶體Qn13、Qn14、Qp13、Qp14，且唯有於此位準移位電路要求位準移位時才設定為主動位準，當不需位準移位時資料被維持，換言之輸入信號in1、in2之邏輯態被維持，藉此達成閘鎖與位準移位電路的組合。

本實施例中，當電晶體被用作電阻器元件R11至R14時，此等開關使用由電阻器元件R11至R14限制的電阻值，此種

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(31)

開關控制可達成相同效果。

顯示第一具體例之位準移位電路之另一調整適應例或變化例之電路圖示於圖12。此圖中，同圖11之相當區段之各區段帶有相同的參考編號。於此位準移位電路適應例構造中，添加復置電路81用以決定CMOS閘鎖單元70之初值。復置電路81包含PMOS電晶體Qp15連結於電源供應電壓VDD與節點②間，PMOS電晶體Qp15之閘極係連結至復置端子82。

此電路配置成復置信號Reset外加至復置端子82。此處如圖13之時序圖顯示，開始(前緣)信號利用時序帶有延遲大於電源供應電壓VDD。例如圖14所示，復置信號Reset易藉整合電源供應電壓VDD於RC積體電路產生。

藉由以此種方式增加圖11之復置電路81，復置信號Reset可於開始(脈衝升高)時序外加給復置電路81，帶有延遲大於電源供應電壓VDD，因此於電源供應開始時可決定CMOS閘鎖單元70之初值。如圖13時序圖對本例明白顯示，此種復置操作中，於電源供應開始時節點②之電壓電位於初態(復置)設定為「H」準位及輸出信號「out」變成「L」準位。

第二具體例之位準移位電路之電路圖顯示於圖15。此第二具體例之位準移位電路構造中，作為基本電路之CMOS閘鎖單元84含有CMOS反相器85，包含一NMOS電晶體Qn21及PMOS電晶體Qp21帶有閘極及汲極共同連結，以及CMOS反相器86包含一NMOS電晶體Qn22及PMOS電晶體

五、發明說明(32)

Qp22帶有閘極及汲極共同連結，且CMOS反相器85及86係並聯連結於電源供應電壓VDD與接地間。

此種CMOS閘鎖單元84中，CMOS反相器85之輸入(亦即MOS電晶體Qn21、Qp21之閘極共通接觸點)與CMOS反相器86之輸入(亦即MOS電晶體Qn22、Qp22之源極共通接觸連結點)連結。進一步，CMOS反相器86之輸入(亦即閘極共通接觸連結點MOS電晶體Qn22、Qp22)與CMOS反相器85之輸出(亦即MOS電晶體Qn21、Qp21之汲極共通接觸點)連結。

電阻器元件R21係連結於第一電路輸入端子87與CMOS反相器85之輸入間，及電阻器元件R22係連結於第二電路輸入端子88與CMOS反相器86之輸出間。反相器91係連結於第一電路輸出端子89與CMOS反相器86之輸入間，以及反相器92係連結於第二電路輸出端子90與CMOS反相器85之輸入間。

前述第二具體例之位準移位電路中，振幅Vp約3伏之輸入信號in1例如輸入第一電路輸入端子87，輸入信號in1反相之輸入信號in2係輸入第二電路輸入端子88。

此處例如當輸入信號in2邏輯為「0」以及輸入信號in1之邏輯為「1」時，為了於CMOS閘鎖單元84導通NMOS電晶體Qn21，電流於路徑流動由電源供應器VDD至PMOS電晶體Qp21、NMOS電晶體Qn21及至接地。

又為了同時導通PMOS電晶體Qp22，電流於路徑流動由電源供應器VDD至PMOS電晶體Qp22，至電阻器元件R21至

五、發明說明(33)

第二電路輸入端子87。

此時於電阻器元件R21出現電壓降，於CMOS反相器85輸入之電壓電位升高量等於此電壓降。換言之，CMOS反相器85輸入之電壓電位造成大直流移位。它方面，於CMOS反相器86輸入之電壓電位大致並無直流移位，原因在於來自PMOS電晶體Qp21之電流小之故。

此種實務許可於CMOS反相器85、86之輸入比較輸入信號in1、in2之振幅差異獲得更大的振幅差異。CMOS反相器86之輸入之電壓電位由反相器91反相，且由第一輸出端子89輸出作為VDD振幅輸出信號out。CMOS反相器85輸入之電壓電位由反相器92反相，且由第二電路輸出端子90輸出，輸出信號out被輸出作為反相信號xout。

前述相關電路操作中，具有輸入信號in1、in2例如3伏振幅Vp被位準移位至電源供應電壓VDD振幅輸出信號out、xout且輸出，恰如同第一具體例之位準移位電路之電路操作般。又當輸入信號in1邏輯為「0」及輸入信號in2邏輯為「0」時，位準移位操作係於前述電路操作之完全相反方向進行。

於第二具體例之位準移位電路之例，於0伏至電源供應電壓VDD範圍之選擇性直流參考電壓可用來取代輸入信號in2作為參考電壓Vref。又輸出信號可使用得自兩個未反相及反相的輸出信號out及xout。

電路圖顯示第二具體例之位準移位電路之調整適應例或變化例顯示於圖16。圖中同圖15相當段之區段帶有相同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(34)

的參考編號。此位準移位電路之調整適應例中，閘極連結至電源供應器VDD之NMOS電晶體Qn23、Qn24用作圖15之電阻器元件R21、R22。藉此方式，電路操作同圖15，即使電晶體用作電阻器元件R21、R22亦如此。進一步圖16電路也可進行如圖11及圖12之相同變化(或調整配合)。

其次解釋水平移位暫存器121、122之結構細節。圖17為方塊圖顯示水平移位暫存器121、131之結構。

此處為求簡明起見，使用三階段移位暫存器作為移轉階段例。換言之三個D-Ff(正反器)93-1、93-2、93-3係以從屬順序連結。又位準移位電路94係架設於第一階段D-FF93-1之D(資料)輸入端。位準移位電路95-1、95-2、95-3分別架設於正反器階段D-FF93-1、93-2、93-3之各時脈CK之輸入端。

位準移位電路94將例如3伏振幅的交互反相開始信號ST、XST位準移位成為電源供應電壓VDD振幅信號。位準移位電路95-1、95-2、95-3之功能係將振幅例如3伏的交互反相時脈開始信號CK、XCK位準移位成為電源供應電壓VDD振幅信號，且外加此位準移位作為時脈輸入至各階段D-FF93-1、93-2、93-3。

水平移位暫存器121、131之構造係利用位準移位電路94、95-1、95-2、95-3作為位準移位電路，例如於圖11所示。此位準電路94中，開始信號ST、XST被輸入作為輸入信號in1、in2，電源供應電壓VDD被輸入作為控制信號CNTL。換言之，藉由使用電源供應電壓VDD作為控制信

五、發明說明 (35)

號CNTL，則唯有位準移位器將發揮功能，原因在於適用電路經常被設定為主動態之故。

它方面，於位準移位電路95-1、95-2、95-3，時脈開始信號CK、XCK被輸入作為輸入信號in1、in2，邏輯OR閘96-1、96-2、96-3之輸出被輸出作為控制信號CNTL，OR閘輸入來自其本身階段之移位脈衝(Q輸出)及前一階段之移位脈衝(其本身階段之D輸入)。換言之，位準移位電路95-1、95-2、95-3僅對其本身階段D-FF93-1、93-2、93-3進行移位操作。重複敘述，位準移位僅於需要移轉低電壓振幅時脈信號CK、XCK時進行，其它時間時脈信號CK、XCK被門鎖且用來防止移轉。

如此於水平移位暫存器121、131，藉由利用位準移位電路94、95-1、95-2、95-3作為具有圖11所示構造之位準移位電路，適用的位準移位電路可進行低電壓振幅開始信號ST、XST及時脈信號CK、XCK之快速可靠的位準移位操作。因此即使結構的D-FF93-1、93-2、93-3係由具有高閾值Vth之裝置例如薄膜電晶體(TFT)組成，仍可達成穩定高速移轉作業。

本例中，位準移位電路94、95-1、95-2、95-3被用作位準移位電路具有圖11所示結構，但本發明非僅限於此種配置，而例如也可利用如圖7、圖10、圖12及圖15或圖16所示配置之位準移位電路，同時仍然獲得前述相同效果。

因此，如前述，驅動電路整合的液晶顯示裝置可實現具有前述配置之移位暫存器，而水平移位暫存器121、131或

五、發明說明(36)

換言之具有小表面積。進一步經由利用低電源消耗的移位暫存器，含有水平移位暫存器121、131之驅動電路例如垂直驅動系統14或水平驅動系統12不僅可達成窄周邊面積(圖幀)用於有效像素區11安置適用的驅動電路，同時可達成具有低電源消耗之驅動電路整合的液晶顯示裝置。

又如前述明白可知，前述移位暫存器之優點為即使於電路利用帶有高閾值 V_{th} 之裝置例如薄膜電晶體，仍可獲得穩定高速移轉操作。此種移位暫存器之電路也可寬廣應用至液晶顯示器以外的裝置。

其次說明第一及第二水平驅動系統使用取樣與門鎖電路122、132之取樣門鎖電路之細節構造。

顯示第一具體例之取樣門鎖電路之電路圖示於圖18。此第一具體例之取樣門鎖電路之構造中，作為基本電路帶有一比較器構造之CMOS門鎖單元100包含CMOS反相器101具有NMOS電晶體 Q_{n31} 及PMOS電晶體 Q_{p31} ，而其閘極及汲極分別共通連結，以及CMOS反相器102包含NMOS電晶體 Q_{n32} 及PMOS電晶體 Q_{p32} ，其閘極及汲極分別共通連結且CMOS反相器85及86係並聯連結於電源供應器VDD 107與接地間。

此CMOS門鎖單元100中，CMOS反相器101之輸入(換言之MOS電晶體 Q_{n31} 、 Q_{p31} 之閘極共通接觸點)與CMOS反相器102之輸出(換言之MOS電晶體 Q_{n32} 、 Q_{p32} 之源極共通接觸連結點)連結。進一步CMOS反相器102之輸入(換言之MOS電晶體 Q_{n32} 、 Q_{p32} 之閘極共通接觸連結點)與CMOS反

五、發明說明(37)

相器101之輸出(換言之MOS電晶體Qn31、Qp31之汲極共通接觸點)連結。

開關105係連結於第一電路輸入端子103與CMOS反相器101之輸入間，開關106係連結於第二電路輸入端子104與CMOS反相器102之輸入間。開關108也連結於CMOS門鎖單元100之電源供應側，換言之連結於電源供應線VDD 107與節點A間。

開關105、106係由取樣端子109輸入的取樣信號SP直接控制(切換)，以及開關108係由通過反相器102之取樣脈衝SP之反相脈衝直接控制(切換)。反相器113係連結於第一電路輸入端子111與節點②其為CMOS反相器102之輸入間，以及反相器114係連結於第二電路輸出端子112與節點①其為CMOS反相器101之輸入間。

前述第一具體例之取樣開關電路中，具有振幅 V_p 約3伏之輸入信號in1例如輸入第一電路輸入端子103，及選擇性直流電壓(參考電壓Vref)於0伏或以上至 V_p 或以下之電壓範圍的輸入信號in2輸入第二電路輸入端子104。

如圖19時序圖舉例說明之電路操作所示，當主動「H」取樣脈衝SP由取樣端子109輸入時，開關105、106被導通(閉路)，如此輸入信號in1、in2被輸送至CMOS門鎖單元100之節點①及②。同時，取樣脈衝SP之反相脈衝關掉開關108(開路)，因此電源供應側(節點A)與電源供應線107隔離。

其次當取樣脈衝SP不再存在時，CMOS門鎖單元100之節

五、發明說明(38)

點①及②被區隔成為第二電路輸入端子103、104，CMOS閘鎖單元100之電源供應端同時連結至電源供應線107。此時於CMOS閘鎖單元100節點①及②之電壓開始進行比較處理，也開始閘鎖作業。最終於不再存在有取樣脈衝SP之情況下，節點1根據輸入信號in1之極性被閘鎖於電源供應電壓VDD或0(零)伏。此時節點②被閘鎖於相反極性電壓。

前述電路操作中，帶有振幅 V_p 約3伏之輸入信號in1資料與取樣脈衝SP同步化且被取樣，電源供應電壓VDD振幅資料被閘鎖於節點①。然後節點②被閘鎖的資料於反相器113反相，且由第一電路輸出端子111輸出作為輸出信號out。於節點①被閘鎖的資料藉反相器114反相且由第二電路輸出端子112輸出作為輸出信號out之反相信號xout。

如前述，於CMOS閘鎖單元100作為帶有比較器構造之基本電路，連同開關105、105分別連結於CMOS閘鎖單元100之二輸入段(節點①、②)及二輸入信號源(第一、第二電路輸入端子103、104)間，開關108係連結於電源供應線107與CMOS閘鎖單元100之電源供應端(節點A)間，藉由開關105、106與開關108之補償交換，電流於開關105、106輸入的輸入信號in1、in2之取樣期不會流動於CMOS閘鎖單元100。如此於操作期間流動的直流電流極小，故可降低於此取樣開關電路之電力消耗。

取樣期結束，帶有振幅 V_p 約3伏之輸入信號in1資料被閘鎖於電源供應電壓VDD作為資料振幅，於電源供應電壓VDD藉開關108供給CMOS閘鎖單元100之情況下，即使電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

路結構利用具有高閾值 V_{th} 之裝置例如薄膜電晶體(TFT)仍可達成穩定取樣與門鎖操作。此外，藉由增加開關105、106、108至CMOS門鎖單元100之基本結構，藉由極少數裝置可達成具有位準移位功能及小表面積的取樣門鎖電路。

本具體例之取樣門鎖電路中，直流參考電壓 $V_{ref}(0 \leq V_{ref} \leq VDD)$ 用作輸入信號in2，但因決定輸入信號in1之邏輯(位準)足夠，故非經常需要直流電壓。如圖20之時序圖所述，輸入信號in1之反相信號也可用作決定邏輯準位之參考信號。此種情況下，決定輸入信號in1之邏輯準位具有比較使用 $0 \leq V_{ref} \leq VDD$ 之直流參考電壓作為參考電壓案例更大的透際之優點。

二輸出包含非反相及反相輸出信號out、xout由圖18之電路供給，但也可使用此等輸出信號之另一者或僅一者之配置。此種例中，二反相器113、114中有一者為不需要。

第一具體例之位準移位電路之調整適應例或變化例之電路圖顯示於圖21。附圖同圖18部分具有相同的參考編號。於位準移位電路之此變化例中，連同使用NMOS電晶體Qn33、Qn34作為圖18信號輸入端之開關105、106，PMOS電晶體Qp33被用作電源供應端開關108，取樣脈衝SP直接外加至電晶體之閘極。

因此即使於使用電晶體作為開關105、106、108時，電路操作仍然同圖18電路。時序同圖19及20。此項變化例可使用NMOS電晶體作為開關105、106及PMOS電晶體作為開關108達成，但當取樣脈衝SP之主動態為「L」時顯然可逆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

轉極性。

圖22為電路圖顯示第二具體例之取樣門鎖電路。第二具體例之取樣門鎖電路具有CMOS門鎖單元作為帶有比較器配置的基本結構，包含由一NMOS電晶體Qn41及一PMOS電晶體Qp41組成的CMOS反相器151，而其閘極及汲極係共通連結，以及由一NMOS電晶體Qn42及一PMOS電晶體Qp42組成的CMOS反相器152，而其閘極及汲極係共通連結，且共通並聯連結於電源供應線157與接地間。

此種CMOS門鎖單元150中，CMOS反相器151之輸入(亦即MOS電晶體Qn41、Qp41之閘極共通接觸點)與CMOS反相器152之輸出(亦即MOS電晶體Qn42、Qp42之源極共通接觸連結點)連結。進一步CMOS反相器152之輸入(亦即MOS電晶體Qn42、Qp42之閘極共通接觸連結點)係與CMOS反相器151之輸出(亦即MOS電晶體Qn41、Qp41之汲極共通接觸點)連結。

開關155係連結於第一電路輸入端子153與CMOS反相器151之輸入間，以及開關156係連結於第二電路輸入端子154與CMOS反相器152之輸入間。開關158也連結於CMOS門鎖單元150之電源供應端，或換言之連結於電源供應線VDD 107與節點A間。又開關155、156係藉取樣端子159輸入的取樣脈衝SP直接控制(開關)，且開關158係由取樣脈衝SP通過反相器160經過反相的脈衝直接控制(開關)。

反相器163分別連結於第一電路輸出端子161與CMOS反相器152之輸入節點②間，及反相器164係分別連結於第二

五、發明說明(41)

電路輸出端子162與CMOS反相器151之輸入節點①間。反相器163具有CMOS反相器結構包含PMOS及NMOS電晶體Qp43、Qn43，帶有共通閘極及汲極連結同時也連結於節點A與接地間。反相器164具有恰如同反相器154之CMOS反相器結構，包含PMOS及NMOS電晶體Qp44、Qn44，其各自閘極及汲極分別共同連結，此反相器亦係連結於節點A與接地間。

前述第二具體例之取樣開關電路中，具有振幅Vp約3伏之輸入信號in1例如輸入第一電路輸入端子153，及輸入信號in2其為選擇性直流電壓(參考電壓Vref)於0伏或以上或Vp或以下範圍，輸入信號in2係輸入第二電路輸入端子154。第二具體例之取樣閘鎖電路之操作基本上同第一具體例之取樣閘鎖電路。

換言之，當主動「H」取樣脈衝SP由取樣端子153輸入時，開關155、156被導通(閉路)，如此輸入信號in1、in2被輸送至CMOS閘鎖單元150之節點①及②。同時，取樣脈衝SP之反相脈衝關掉開關158(開路)，因此CMOS閘鎖單元150之電源供應段(節點A)與電源供應線157隔離。

其次當不再存在有取樣脈衝SP時，CMOS閘鎖單元150之節點①及②被分成第二電路輸入端子153、154，CMOS閘鎖單元150之電源供應端同時連結至電源供應線157。節點①及②電壓之比較處理於本例係於CMOS閘鎖單元150比較，也開始閘鎖操作。最終，於取樣脈衝SP不再存在時，節點1隨輸入信號in1極性而定被閘鎖於電源供應電壓VDD或

五、發明說明(42)

0(零)伏。此時節點②被門鎖於相反極性電壓。

前述電路操作中，帶有振幅 V_p 約3伏之輸入信號in1之資料係與取樣脈衝SP同步且被取樣，電源供應電壓VDD振幅資料被門鎖於節點①。然後節點②被門鎖之資料於反相器163被反相且由第一電路輸出端子161輸出作為輸出信號out。節點①被門鎖的資料由反相器164反相，以及由第二電路輸出端子162輸出作為輸出信號out之反相信號xout。

於本第二具體例之取樣門鎖電路中，除了由前述第一具體例之取樣門鎖電路所得效果外，恰如同CMOS門鎖單元150，經由控制供應CMOS反相器163、164之電源開關，於CMOS反相器163、164不必要的電流流動被消除，如此可達成本取樣開關電路電力消耗之進一步減低。

以本第二具體例之取樣門鎖電路為例，恰如同圖21所示第一具體例之變化例，開關155、156、158可藉電晶體達成。進一步藉由使用輸入信號in1的反相信號作為輸入信號in2，可利用兩個非反相或反相輸出信號out、xout之一。

因此如前述，驅動電路整合的液晶顯示裝置可使用第一及第二水平驅動系統12、13之取樣與第一門鎖電路122、132執行前述第一及第二具體例之取樣門鎖電路。換言之可達成小的表面積，進一步利用低電源消耗取樣門鎖電路；驅動電路例如垂直驅動系統14或第一或第二水平驅動系統12、13，適用的取樣門鎖電路不僅可對有效像素區11達成窄周邊區(圖幀)，於製造時安置可利用的驅動電路於有效像素區1之相同基板上，同時也可達成具有低電源消

五、發明說明(43)

耗之驅動電路整合的液晶顯示裝置。

又如前文明白敘述，具有前述配置之取樣與閃鎖電路，其優點為即使當電路利用具有高閾值 V_{th} 的裝置例如薄膜電晶體時仍可達成穩定高速取樣與閃鎖作業。

圖23為方塊圖顯示包含前述取樣與閃鎖電路之取樣與第一閃鎖電路之細節構造。本圖顯示例如輸入3位元數位資料 b_0 、 b_1 、 b_2 之例。本例顯示於第一水平驅動系統12端之取樣與第一閃鎖電路122，及結構恰如同取樣與第一閃鎖電路132。

如圖23明白顯示，取樣閃鎖電路122-1、122-2、122-3係對各數位資料 b_0 、 b_1 、 b_2 架設。數位位元資料 b_0 、 b_1 、 b_2 輸入取樣開關122-1、122-2、122-3作為輸入信號in1，及參考電壓(直流電壓) V_{ref} 共通輸入各電路作為輸入信號in2。然後根據水平移位暫存器輸出的取樣脈衝SP進行低電壓振幅資料信號 b_0 、 b_1 、 b_2 的取樣。

根據此等取樣閃鎖電路122-1、122-2、122-3取樣的信號被位準移位至TFT電路要求的高電壓振幅且被閃鎖。然後此高電壓振幅閃鎖信號恰如同取樣閃鎖電路122-1、122-2、122-3，根據線編號順序由對各數位資料位元架設之次一階段第二閃鎖電路123-1、123-2、123-3處理，以及於通過位準移位電路124(未顯示於附圖)(參考圖1)後，此高電壓振幅閃鎖信號通過DA轉換器125且被輸出至對應有效像素區11之行(線)。

此等取樣閃鎖電路122-1、122-2、122-3需儲存於極小空

五、發明說明(44)

間內部。配置給一取樣閘鎖單元之水平方向長度為點距/位元比，且於圖1所示驅動電路整合的液晶顯示裝置內部佔有極小空間。因此可滿足此等條件之取樣閘鎖電路122-1、122-2、122-3可極為有效作為本具體例之取樣閘鎖電路而可達成小表面積。

圖23之電路例中，參考電壓(直流電壓) V_{ref} 輸入各電路作為輸入信號in2，但亦如同對第一具體例之取樣閘鎖電路說明，資料信號b0、b1、b2之反相信號xb0、xb1、xb2也可輸入取樣閘鎖電路122-1、122-2、122-3，如圖24所示。

圖25為方塊圖顯示圖24之調整適應例。本圖中，相當於圖24之部件具有相同的參考編號。本調整適應例中，於各取樣閘鎖電路122-1、122-2、122-3之電源供應端的開關(相當於圖18開關108，圖22開關158)係由電路122-1、122-2、122-3共同使用，此開關例如可藉PMOS Qp45達成。

此電路配置中，於例如3位元數位資料案例，可去除於電源供應端之二開關，因此可達成又更小的電路表面積。又恰如同圖23之電路，參考電壓(直流電壓) V_{ref} 可共通輸入取樣閘鎖電路122-1、122-2、122-3作為輸入信號in2，替代使用反相信號xb0、xb1、xb2。如前述，取樣閘鎖電路可外加至液晶顯示裝置以外的裝置。

其次對用作第一及第二水平驅動系統12、13之第二閘鎖電路123、133之閘鎖電路構造作細節說明。

第一具體例之閘鎖電路顯示於圖26。本第一具體例之閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(45)

鎖電路具有一個CMOS閃鎖單元170作為基本構造。此CMOS閃鎖單元170包含CMOS反相器171，包含一N通道MOS電晶體Qn51及一P通道MOS電晶體Qp51各自具有共通連結的閘極及汲極，以及一CMOS反相器172包含一N通道MOS電晶體Qn52及一P通道MOS電晶體Qp52各自具有共通連結的閘極及汲極且交互並聯連結。

於此CMOS閃鎖單元170，CMOS反相器171之輸入(亦即MOS電晶體Qn51、Qp51之閘極共通接觸點)與CMOS反相器172之輸出(亦即MOS電晶體Qn52、Qp52之源極共通接觸連結點)連結。進一步CMOS反相器171之輸入(亦即MOS電晶體Qn51、Qp51之閘極共通接觸連結點)與CMOS反相器172之輸出(亦即MOS電晶體Qn52、Qp52之汲極共通接觸點)連結。進一步，CMOS反相器172之輸入(亦即MOS電晶體Qn52、Qp52之閘極共通接觸點)與CMOS反相器171之輸出(亦即MOS電晶體Qn51、Qp51之閘極共通源極連結點)連結。

開關175係連結於第一電路輸入端子173與CMOS反相器171之輸入間，以及開關176係連結於第二電路輸入端子174與CMOS反相器172之輸入間。又CMOS反相器172之輸出端子係連結至第一電路輸出端子177，CMOS反相器171之輸出係連結至第二電路輸出端子178。又交互相反極性之二輸出信號經由電路輸出端子177、178輸出作為輸出信號out1、out2。

此CMOS閃鎖單元170之正電源供應端，或換言之節點A

五、發明說明(46)

係直接連結至正電源供應電壓VDD之電源供應線179。於負電源供應端或換言之節點B，開關180用以連結負電源供應端電壓(例如地電位)VSS1之電源供應線182，及開關181用以連結比電源供應電壓VSS1更低的電源供應電壓(負電源供應電壓)之電源供應線183。

連同開關175、176，開關180之交換係由輸出致能脈衝oel控制，此乃由控制電路(未顯示於附圖)至輸入端子184的輸入。它方面，開關181的交換係藉由控制電路輸入至輸入端子185之輸出致能脈衝oe2控制。

於前述第一具體例之閃鎖電路，具有振幅VDD至VSS1之輸入信號in1係輸入第一控制輸入端子173，反相信號in2其為輸入信號in1之反相信號則係輸入第二電路輸入端子174。此處第一具體例之閃鎖電路之電路作業係使用圖27之時序圖說明。

首先，當於主動「H」準位之輸出致能脈衝oel輸入至輸入端子174時，響應於此，開關175、176被打開(閉路)，輸入信號in1、in2被取樣且輸送至CMOS閃鎖單元170。藉此操作，輸入信號in1、in2被暫時以振幅VDD至VSS1閃鎖於CMOS閃鎖單元170。

於此閃鎖期間，開關180響應輸出致能脈衝oel被打開，但它方面，輸出致能脈衝oe2係於輸出致能脈衝oel之顛倒極性(「L」準位)，因此CMOS閃鎖單元170之負電源供應線被連結至電源供應線172之電源供應電壓VSS1，原因在於開關181處於關態(開路)。

五、發明說明(47)

其次連同輸出致能脈衝oe1移位至「L」準位，輸出致能脈衝oe2移位至「H」準位，造成移位至輸出作業。於此間期，由於開關180係於關態而開關181係於開態，CMOS閘鎖單元170之負電源供應端被連結至電源供應電壓VSS2之電源供應線183。

藉此操作，至目前為止以振幅VDD至VSS1被閘鎖於CMOS閘鎖單元170之信號被維持於振幅VDD至VSS2。然後振幅VDD至VSS2之信號被輸出作為信號out1、out2。結果維持於振幅VDD至VSS1之in1、in2信號被取樣，且可被位準移位至具有振幅VDD至VSS2之輸出信號out1、out2。

於具有CMOS閘鎖單元170作為基本構造及位準移位功能之前述第一具體例之閘鎖電路中，架設二開關180、181來選擇於負電源供應端之VSS1電源供應及VSS2電源供應。經由根據CMOS閘鎖單元170之閘鎖及輸出操作間期控制開關180、181的交換，CMOS閘鎖單元170於閘鎖間期係於VSS1電源供應操作及於輸出間期係於VSS2電源供應操作。

如此VSS1/VSS2電源供應之電流受限制，特別由於大半充電輸出負載之充電電流係由VDD電源供應流至VSS1電源供應，故於VSS2電源供應流動的電流量極小。此外，除了以少數電路裝置達成閘鎖操作及位準移位操作外，無需以低電壓振幅信號改寫高電壓振幅信號的閘鎖，因此前一階段的信號緩衝大小可保持小，且可達成具有位準移位功能及小表面積的閘鎖電路。

五、發明說明(48)

另一時序圖顯示於圖28。此處輸出致能脈衝oe2之脈衝降(末次過渡)略微比輸出致能脈衝oe1之脈衝升(第一過渡)更快，且輸出致能脈衝oe2之脈衝升(第一過渡)略微比輸出致能脈衝oe1之脈衝降(最末過渡)更慢。藉由以此種方式移位時序關係，可顯著減少流入電源供應VSS2之電流。

顯示第一具體例之閃鎖電路特例之電路圖顯示於圖29。此圖中，同圖26之該等部分帶有相同的參考編號。此閃鎖電路中，NMOS電晶體Qn53、Qn54、Qn55被用作開關175、176、180、181。輸出致能脈衝oe1外加至電晶體Qn53、Qn54、Qn55之個別閘極，輸出致能脈衝oe2外加至電晶體Qn56之閘極。

當藉此方式已經使用電晶體達成開關175、176、180、181後，電路操作係同圖26之電路。進一步時序亦同圖27及28。本例中，開關175、176、180、181係以NMOS電晶體達成，但若輸出致能脈衝oe1及oe2係於主動「L」，則當然電晶體極性可顛倒。

圖30為電路圖顯示第二具體例之閃鎖電路。第二具體例之閃鎖電路具有CMOS閃鎖單元190作為基本構造，且包含一CMOS反相器191包含一NMOS電晶體Qn61及一PMOS電晶體Qp61及閘極及汲極係共通連結，及一CMOS反相器192包含一NMOS電晶體Qn62及一PMOS電晶體Qp62，帶有閘極及汲極共通連結且此等CMOS反相器彼此並聯連結。

此種CMOS閃鎖單元190中，CMOS反相器191的輸入(亦即MOS電晶體Qn61、Qp61之閘極共通接觸點)與CMOS反相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(49)

器192之輸出(亦即MOS電晶體Qn62、Qp62之汲極共通接觸連結點)連結。進一步CMOS反相器192的輸入(亦即MOS電晶體Qn62、Qp62之閘極共通接觸連結點)與CMOS反相器191之輸出(亦即MOS電晶體Qn61、Qp61之汲極共通接觸點)連結。

開關195係連結於第一電路輸入端子193與CMOS反相器191之輸入間，及開關196係連結於第二電路輸入端子194與CMOS反相器192之輸入間。進一步，CMOS反相器192之輸出端子係連結至第一電路輸出端子197，及CMOS反相器191之輸出係連結至第二電路輸出端子198。又兩個彼此極性相反的輸出信號藉由此等電路輸出端子197、198輸出作為輸出信號out1、out2。

此CMOS閃鎖單元190之正電源供應側換言之節點A係藉由開關199直接連結至正電源供應電壓VDD1之電源供應線201，及節點A也藉由開關200連結至電源供應電壓VDD2之電源供應線202，VDD2係高於電源供應電壓VDD1。進一步，負電源供應端換言之節點B係直接連結至負電源供應電壓線VSS(或地電位)。

連同開關195、196，開關199的交換係藉由控制電路(未顯示於附圖)至輸入端子204輸入的輸出致能脈衝ocl控制。它方面，開關200之交換係由控制電路輸入至輸入端子205之輸出致能脈衝oe2控制。

前述第二具體例之閃鎖電路中，具有振幅VDD1至VSS之輸入信號in1係輸入第一電路輸入端子193，反相信號in1其

五、發明說明(50)

為輸入信號in1的反相則係輸入第二電路輸入端子194。進一步，輸出致能脈衝oe1、oe2係於圖27或28之時序關係輸入作為脈衝，同第一具體例之閃鎖電路。

第二具體例之閃鎖電路的操作基本上同第一具體例之閃鎖電路。換言之操作係來自閃鎖操作期間之VDD1電源供應，使用於主動準位之輸出致能脈衝oe1，具有振幅VDD1至VSS之輸入信號in1、in2藉開關195、196被輸送至CMOS閃鎖單元190，且暫時閃鎖於相同振幅。

其次於使用主動輸出致能脈衝oe2之輸出操作間期，具有振幅VDD1至VSS之信號被位準移位至振幅VDD2至VSS之信號，俾便交換MOS閃鎖單元190之正端電源供應由VDD1至VDD2電源供應，然後此位準移位信號被輸出作為輸出信號out1、out2。

本具有CMOS閃鎖單元190作為基本結構之第二具體例之閃鎖電路中，架設二開關199、200用以選擇於正電源端之電源供應。經由根據CMOS閃鎖單元190之閃鎖及輸出操作間期控制開關199、200的交換，VDD1電源供應於閃鎖間期作業，而VDD2電源供應於CMOS閃鎖單元190之輸出間期作業，因此VDD1/VDD2之電源供應之電流流動被限制於同第一具體例，進一步，除了僅有少數電路裝置構造外，無需以低電壓振幅信號改寫高電壓振幅信號的閃鎖，因此前一階段之信號緩衝期可維持小尺寸而可達成小表面積。

圖31為電路圖顯示第三具體例之閃鎖電路。本第三具體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(51)

例之閃鎖電路具有CMOS閃鎖單元210作為基本構造，包含一CMOS反相器211包含一NMOS電晶體Qn71及一PMOS電晶體Qp71帶有閘極及汲極共通連結，及一CMOS反相器212包含一NMOS電晶體Qn72及PMOS電晶體Qp72帶有閘極及汲極共同連結，且此等CMOS反相器係交互並聯連結。

CMOS閃鎖單元210中，CMOS反相器211之輸入(亦即MOS電晶體Qn72、Qp72之閘極共通接觸點)係與CMOS反相器212之輸出(亦即MOS電晶體Qn62、Qp62之汲極共通接觸連接點)連結。進一步，CMOS反相器212之輸入(亦即MOS電晶體Qn72、Qp72之閘極共通接觸連接點)與CMOS反相器211之輸出(亦即MOS電晶體Qn71、Qp71之汲極共通接觸點)連結。

開關216係連結於第一電路輸入端子213與CMOS反相器211之輸入間，開關216係連結於第二電路輸入端子214與CMOS反相器212之輸入間。進一步，CMOS反相器212之輸出端子係連結至第一電路輸出端子217，CMOS反相器211之輸出係連結於第二電路輸出端子218。又，彼此極性相反的二輸出信號藉由電路輸出端子217、218被輸出作為輸出信號out1、out2。

此CMOS閃鎖單元210之正電源供應端，換言之節點A係藉由開關219直接連結至正電源供應電壓VDD1之電源供應線221，及此節點A亦藉由開關220連結至電源供應電壓VDD2之電源供應線222，VDD2係高於電源供應電壓VDD1。進一步，負電源供應端，換言之節點B係透過開關

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(52)

223連結至負電源電壓(例如地電位)VSS1之線225,且透過開關224連結至比電壓VSS1更低的電源供應電壓(負電壓)VSS2之線226。

連同開關215、216,開關215、216的交換係藉由控制電路(附圖未顯示)輸入至輸入端子227的輸出致能脈衝oe1控制。它方面,開關220、224之交換係由前述控制電路輸入至輸入端子228的輸出致能脈衝oe2控制。

前述第三具體例之閃鎖電路中,具有振幅VDD1至VSS之輸入信號in1係輸入第一電路輸入端子213,反相信號in2其為輸入信號in1的反相則係輸入第二電路輸入端子214。進一步輸出致能脈衝oe1、oe2係以圖27或圖28之時序關係輸入作為脈衝,同第一及第二具體例之閃鎖電路。

第三具體例之閃鎖電路之操作基本上同第一及第二具體例之閃鎖電路。換言之,於閃鎖作業期間,操作係來自VDD1及VSS1電源供應而輸出致能脈衝oe1係於主動位準,具有振幅VDD1至VSS1之輸入信號in1、in2透過開關215、216被輸送至CMOS閃鎖單元210且暫時以同一振幅被閃鎖。

其次於輸出操作間期,輸出致能脈衝oe2為主動,連同由記憶閃鎖單元210之正端電源供應交換至VDD2電源供應,具有振幅VDD1至VSS1之信號被位準移位至帶有振幅VDD2至VSS2之信號,俾便由負電源供應VSS1交換至VSS2電源供應,隨後輸出作為輸入信號out1、out2。

此第三具體例之閃鎖電路中,個別架設二開關219、220

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

及二開關 223、224 用以選擇正電源端及負電源端之電源供應。藉由根據 CMOS 閘鎖單元 210 之閘鎖及輸出操作間期控制開關 219、220 及 223、224 的交換，VDD1 電源供應及 VSS1 電源供應係於閘鎖間期操作，而 VDD2、VSS2 電源供應係於輸出間期操作，故如同第一及第二具體例，各電源供應之電流流動受限制。進一步，除了結構僅需少數電路裝置外，無需以低電壓振幅信號改寫高電壓振幅信號的閘鎖，因此可將前一階段之信號緩衝期維持小尺寸而可達成小表面積。

第二及第三具體例之閘鎖電路恰如同第一具體例之細節說明(參考圖 29)可利用電晶體作為圖 30 之開關 195、196、199、200 及作為圖 31 之開關 215、216、219、220、223、224。但 PMOS 電晶體較佳用於圖 30 之開關 199、200 及用於圖 31 之開關 219、220，此種情況下，輸出致能脈衝 oe1、oe2 之反相信號被用作開關信號。

第二及第三具體例之閘鎖電路中，供應二輸出包含彼此不同的非反相及反相輸出信號 out、xout，但也可使用僅有其中任一種或僅有一種輸出信號的配置。

因此如前述，驅動電路整合的液晶顯示裝置可實現帶有位準移位功能之閘鎖電路，帶有第一及第二水平驅動系統 12、13 之第二閘鎖電路 123、133。換言之，可達成小表面積，且進一步利用低功率消耗閘鎖電路，驅動電路例如垂直驅動系統 14 或含有適用閘鎖電路之第一或第二水平驅動系統 12、13，當製造於有效像素區 11 之相同基板上時不僅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(54)

可達成有效像素區11之窄周邊區(圖幀)、同時也可達成具有低電力消耗的驅動電路整合的液晶顯示裝置。

圖32為方塊圖顯示當第二閘鎖電路123、133用作第一具體例之閘鎖電路(參考圖26)時之細節構造。例如此種構造使用3位元數位資料b0、b1、b2輸入範例。此處附圖範例顯示第一水平驅動系統12之第二閘鎖電路，但結構恰同第二水平驅動系統13端之第二閘鎖電路133。

如圖32明白顯示，取樣閘鎖電路122-1、122-2、122-3架設用於數位資料b0、b1、b2之各位元，而閘鎖電路123-1、123-2、123-3則架設於稍後階段。取樣閘鎖電路122-1、122-2、122-3輸入數位資料b0、b1、b2之各位元，且根據來自水平移位暫存器121(參考圖1)之取樣脈衝輸出進行輸入資料的取樣。

它方面，閘鎖電路123-1、123-2、123-3連同取樣閘鎖電路122-1、122-2、122-3供給的取樣資料被輸入而輸出致能脈衝oe1、oe2作為基於外部輸入由緩衝器230輸出的閘鎖脈衝，進一步來自第二產生器電路231之VSS2電源供應被供應作為負端第二電源供應。

如此，於閘鎖電路123-1、123-2、123-3後，根據輸出致能脈衝oe1閘鎖來自前一階段之取樣閘鎖電路122-1、122-2、122-3之取樣資料，使資料變成吻合(線順序循序)及位準轉換成次一階段DA轉換要求的信號振幅則係於輸出致能脈衝oe2時序進行，於藉位準移位器124(未顯示於附圖)位準移位後(參考圖1)，輸出透過DA轉換器125送至匹配有

五、發明說明 (55)

效像素區11之行線。

藉由利用第二門鎖電路123、133作為驅動電路整合的液晶顯示裝置用前述具體例之門鎖電路，個別電源供應係根據適用的門鎖電路之門鎖操作間期或輸出操作間期利用，因此可限制流入第二電源供應產生器電路231的電流。此項配置不僅容易結合(或整合)入電源供應產生器231之液晶顯示面板，同時也許可達成小表面積之第二門鎖電路123、133及具有窄圖幀之液晶顯示面板。

圖33為方塊圖顯示圖32之調整適應例(或變化例)。此圖中，同圖32之部分具有相同的參考編號。此適應例中，設置開關232、233作為門鎖電路123-1、123-2、123-3之負電源供應端之開關(等於圖26開關180、181)。此等開關232、233共同用於門鎖電路123-1、123-2、123-3。

若圖26電路例如未更換數位資料之3位元串列使用，則二開關可設置於匹配3位元之各門鎖電路之負電源供應端，如此共需六個開關。但於前述構造，三門鎖電路僅需二開關即足，故可減少四個開關電源供應需要的開關數目，如此可縮小表面積，且許可液晶面板之圖幀進一步縮窄。

本例中，第二門鎖電路123、133被用作第一具體例之門鎖電路，但第二門鎖電路123、133也可用作第二及第三具體例之門鎖電路且可達成相同效果。如前述，門鎖電路也廣泛適用於液晶顯示器以外的裝置。

前文敘述水平暫存器121、131，取樣與門鎖電路122、

五、發明說明(56)

132，第二閃鎖電路123、133，位準移位器124、134以及DA轉換器電路125、135之細節說明。但三具體例之電路配置無需同時用於液晶顯示裝置之個別電路，任一種電路皆可用於前述任一具體例之電路構造。

本發明電路不僅廣泛適用於薄膜電晶體同時也適用於基於矽之裝置。

前述發明中，於參考電壓選擇DA轉換器電路及安裝有此種DA轉換器之驅動電路整合的液晶顯示裝置，藉由具有 $2n$ 階選擇單元，帶有 n 個串聯連結的類比開關，其極性係匹配各資料信號 n 位元邏輯(n 為2或2以上之整數)，且個別連結跨像素區段之 $2n$ 參考電壓線及行線，由相同電晶體可形成一解碼電路來解碼資料信號以及基於被解碼的輸出選擇對應參考電壓之開關，因此電路之電路裝置數目可維持少數，不會增加電源消耗，可獲得具有極狹窄寬度圖幀之LCD面板。

進一步於本發明，經由將電阻器元件分別嵌置於二輸入信號源與CMOS閃鎖單元之二輸入區段間，以及經由透過電阻器元件輸入信號外加直流移位至CMOS閃鎖單元之二輸入段，可獲得足夠電壓來設定包含CMOS閃鎖單元之電晶體之ON態，因此即使於裝置具有高閾值 V_{th} 時，仍可於小電路表面積以電源消耗獲得穩定位準移位操作。

更進一步於本發明，於作為基本構造且配置作為比較器之CMOS閃鎖單元，連同連結於CMOS閃鎖單元之二輸入段與二輸入信號源間之一第一開關，一第二開關係連結於電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

源供應線與CMOS門鎖單元之電源供應端間，以及經由補償交換第一開關及第二開關，不僅可獲得具有極少數裝置的構造，同時於取樣間期也不會因第一開關造成電流流入CMOS門鎖單元，因此即使裝置具有高閾值 V_{th} 仍可以低電源消耗，且於小電路表面積範圍內獲得穩定取樣與門鎖操作。

更進一步於本發明，藉由設置二開關安裝於CMOS門鎖之正電源供應端或負電源供應端之至少一端來選擇電源供應，以及經由根據門鎖操作及輸出操作間期來控制開關的交換，可限制電流流至電源供應且進一步可獲得具有極少數裝置之構造，因此可達成小表面積之電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種數位-類比轉換器電路，包含 n 個串聯連結的類比開關偏振而可匹配各資料信號 n 位元邏輯(n 為2或2以上之整數)，及 $2n$ 個色調選擇單元分別連結跨各該 $2n$ 個參考電壓線之輸出。
2. 如申請專利範圍第1項之數位-類比轉換器電路，包含一個導電型MOS電晶體，其中各該 n 個類比開關係對應於各該資料信號位元之邏輯。
3. 如申請專利範圍第2項之數位-類比轉換器電路，其中該資料信號振幅係低抵等於於參考電壓位準範圍的P通道MOS電晶體門限值之量且係高達等於N通道MOS電晶體門限值之量。
4. 一種液晶顯示裝置，具有一第一板係由有效像素區包含複數像素及一驅動電路含有一數位/類比轉換器電路形成，一第二板位於面對第一板之特定間隙，及一液晶層係夾持於第一板與第二板間，其中
該數位/類比轉換器電路包含 n 個串聯連結的類比開關偏振而可匹配各資料信號 n 位元邏輯(n 為2或2以上之整數)，及進一步包含 $2n$ 個色調選擇單元分別連結跨 $2n$ 參考電壓線及像素區段行線。
5. 如申請專利範圍第4項之液晶顯示裝置，其中各該有效像素區之像素係由共通反相方法驅動而於各水平間期反相，一共通電壓共通外加至該液晶單元電極。
6. 如申請專利範圍第4項之液晶顯示裝置，其包含一移位暫存器包含複數移轉階段來經由響應開始信號進行移位

六、申請專利範圍

操作由各移轉階段循序輸出取樣脈衝；一第一閃鎖電路與由該移位暫存器各移轉階段輸出的取樣脈衝同步化，且循序取樣並閃鎖資料信號；以及一第二閃鎖電路用以閃鎖於第一閃鎖電路取樣的信號與匹配行線於各水平間期，以及供給被閃鎖的信號給數位/類比轉換器電路，以及此外

該移位暫存器具有一第一位準移位電路來供給開始信號給移轉階段之初階段，及一第二位準移位電路來供給時脈信號給各該移轉階段作為一位準移位，該第一及第二位準移位電路具有一CMOS閃鎖單元作為基本結構，以及電阻器元件插置於CMOS閃鎖單元之二輸入段與二輸入信號間，以及

該第一閃鎖電路具有一CMOS閃鎖單元作為基本結構，具有一第一開關係連結於CMOS閃鎖單元之二輸入段與二輸入信號源間，一第二開關係連結於CMOS閃鎖單元之電源供應線與電源供應端間，以及一控制裝置來控制第一及第二開關的補償交換以及，

該第二閃鎖電路具有一CMOS閃鎖單元作為基本結構，其具有一第一開關及第二開關架設於CMOS閃鎖之正電源供應端或負電源供應端中之至少一者而分別選擇具有不同電源供應電壓之一第一及一第二電源供應，以及一控制裝置用以根據CMOS閃鎖單元之閃鎖操作及輸出操作各期間來控制第一開關及第二開關的交換。

7. 如申請專利範圍第6項之液晶顯示裝置，其中該驅動電

六、申請專利範圍

- 路具有一位準移位電路介於第二閃鎖電路與數位/類比轉換器電路間，用以位準移位於第二閃鎖電路被閃鎖的信號供輸出作為位準移位至數位/類比轉換器電路，以及該位準移位電路具有一CMOS閃鎖單元作為基本結構及具有電阻器元件插置於CMOS閃鎖單元之二輸入信號源與二輸入段間。
8. 如申請專利範圍第4項之液晶顯示裝置，其中各該n個類比開關包含一個對應數位信號各位元邏輯之導電型MOS電晶體。
9. 如申請專利範圍第8項之液晶顯示裝置，其中該資料信號幅度相對於參考電壓位準範圍係低抵P通道MOS電晶體門限值且高達或高於N通道MOS電晶體門限值。
10. 一種位準移位電路，具有一CMOS閃鎖單元作為基本結構且將低電壓振幅信號轉成高電壓振幅信號，其中一第一電阻器元件係分別插置於CMOS閃鎖單元之二信號源與二輸入段間。
11. 如申請專利範圍第10項之位準移位電路，其中該第一電阻器元件為一電晶體。
12. 如申請專利範圍第10項之位準移位電路，其中一第二電阻器元件係插置於電源供應與該CMOS閃鎖單元之二輸入段間。
13. 如申請專利範圍第12項之位準移位電路，其中該第一電阻器元件及該第二電阻器元件為電晶體。
14. 如申請專利範圍第12項之位準移位電路，其中該位準移

六、申請專利範圍

- 位操作係唯有當開關於開態時進行，係經由利用具有有限電阻值的開關作為第一及第二電阻器元件，以及於所有其它時間進行門鎖操作。
15. 如申請專利範圍第14項之位準移位電路，其中該位準移位電路具有控制電路來唯有於需要時設定開關於開態。
 16. 如申請專利範圍第14項之位準移位電路，其中該位準移位電路具有復置電路來決定CMOS門鎖單元之初態。
 17. 一種移位暫存器，包含複數移位階段及具有一第一位準移位電路來供給一開始信號作為位準移位至移轉階段之第一階段，以及一第二位準移位電路來供給一時脈信號作為一位準移位至各該移轉階段，其中該第一及第二位準移位電路具有一CMOS門鎖單元作為基本結構，以及一第一電阻器元件分別插置於該CMOS門鎖單元之二輸入段與二輸入信號源間。
 18. 如申請專利範圍第17項之移位暫存器，其中該第一電阻器元件為一電晶體。
 19. 如申請專利範圍第17項之移位暫存器，其中該第二電阻器元件係分別插置於電源供應與CMOS門鎖單元之二輸入段間。
 20. 如申請專利範圍第19項之移位暫存器，其中該第一及第二電阻器元件為電晶體。
 21. 如申請專利範圍第19項之移位暫存器，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具有有限電阻值作為第一及第二電阻器元件，而於所有其它

六、申請專利範圍

時間進行閃鎖操作。

22. 如申請專利範圍第21項之移位暫存器，其中該移位暫存器具有控制電路來唯有於需要時才將開關設定於開態。
23. 如申請專利範圍第21項之移位暫存器，其中該移位暫存器具有復置電路來決定CMOS閃鎖單元之初態。
24. 如申請專利範圍第17項之移位暫存器，其中該移位暫存器係利用薄膜電晶體形成於一玻璃基板上製造。
25. 如申請專利範圍第17項之移位暫存器，其中該移位暫存器係利用薄膜電晶體形成於一矽基板上製造。
26. 一種液晶顯示裝置，其係整合一像素段及含掃描系統之驅動電路於同一片基板上，該液晶顯示裝置具有一掃描系統包含複數移轉階段，一第一位準移位電路來供給一開始信號作為一位準移位至移轉階段之第一階段，以及一第二位準移位電路來供應一時脈信號作為位準移位至各該移轉階段，其中該第一及第二位準移位電路具有一CMOS閃鎖單元作為基本結構，以及一電阻器元件係分別插置於該CMOS閃鎖單元之二輸入段與二輸入信號源間。
27. 如申請專利範圍第26項之液晶顯示裝置，其中該第一電阻器元件為一電晶體。
28. 如申請專利範圍第26項之液晶顯示裝置，其中該第二電阻器元件係分別插置於電源供應與CMOS閃鎖單元之二輸入段間。
29. 如申請專利範圍第28項之液晶顯示裝置，其中該第一及

六、申請專利範圍

第二電阻器元件為電晶體。

30. 如申請專利範圍第28項之液晶顯示裝置，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具有有限電阻值作為第一及第二電阻器元件，而於所有其它時間進行門鎖操作。
31. 如申請專利範圍第30項之液晶顯示裝置，其中該液晶顯示裝置具有控制電路來唯有於需要時才將開關設定於開態。
32. 如申請專利範圍第30項之液晶顯示裝置，其中該液晶顯示裝置具有一復置電路來決定CMOS門鎖單元之初態。
33. 一種液晶顯示裝置，其中該液晶顯示裝置具有一位準移位電路帶有一CMOS門鎖單元作為基本結構，及一第一電阻器元件係分別插置於CMOS門鎖單元之二輸入段與二輸入信號源間，及一具有低電壓振幅的信號被轉成帶有高電壓振幅的信號。
34. 如申請專利範圍第33項之液晶顯示裝置，其中該第一電阻器元件為電晶體。
35. 如申請專利範圍第33項之液晶顯示裝置，其中該第二電阻器元件係分別插置於電源供應與CMOS門鎖單元之二輸入段間。
36. 如申請專利範圍第35項之液晶顯示裝置，其中該第一及第二電阻器元件為電晶體。
37. 如申請專利範圍第35項之液晶顯示裝置，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具

六、申請專利範圍

有有限電阻值作為第一及第二電阻器元件，而於所有其它時間進行閃鎖操作。

38. 如申請專利範圍第37項之液晶顯示裝置，其中該液晶顯示裝置具有一控制電路來唯有於需要時才將開關設定於開態。
39. 如申請專利範圍第37項之液晶顯示裝置，其中該液晶顯示裝置具有一復置電路來決定CMOS閃鎖單元之初態。
40. 一種取樣閃鎖電路，具有比較器配置CMOS閃鎖單元作為基本結構，以及包含一第一開關分別係連結於CMOS閃鎖單元之二輸入段與二輸入信號源間，一第二開關係連結於電源供應線與CMOS閃鎖單元之電源供應端間，以及一控制裝置來控制第一開關與第二開關的補償交換。
41. 如申請專利範圍第40項之取樣閃鎖電路，其中該第一開關及第二開關為電晶體。
42. 如申請專利範圍第40項之取樣閃鎖電路，其中架設複數取樣閃鎖電路，以及第二開關係由複數取樣閃鎖電路所共享。
43. 如申請專利範圍第40項之取樣閃鎖電路，其也具有一第三開關被同步化且由介於電源供應線與輸出電路之電源供應端間的第三開關控制用以輸出CMOS閃鎖電路輸出信號。
44. 如申請專利範圍第43項之取樣閃鎖電路，其中該第二開關係組合第三開關。

六、申請專利範圍

45. 如申請專利範圍第44項之取樣門鎖電路，其中架設複數取樣門鎖電路，以及第二開關係由複數取樣門鎖電路所共享。
46. 如申請專利範圍第40項之取樣門鎖電路，其中該取樣門鎖電路係利用薄膜電晶體形成於一玻璃基板上製造。
47. 如申請專利範圍第40項之取樣門鎖電路，其中該取樣門鎖電路係利用薄膜電晶體形成於一矽基板上製造。
48. 一種液晶顯示裝置，其係整合一像素段及含有掃描系統之驅動電路於同一片基板上，其中一掃描系統包含取樣門鎖電路，帶有比較器配置CMOS門鎖單元作為基本結構以及包含一第一開關係分別連結於CMOS門鎖單元之二輸入段與二輸入信號源間，以及一第二開關係連結於電源供應線與CMOS門鎖單元之電源供應端間，以及一控制裝置來控制第一開關與第二開關的補償交換。
49. 如申請專利範圍第48項之液晶顯示裝置，其中該第一開關及第二開關為電晶體。
50. 如申請專利範圍第48項之液晶顯示裝置，其中架設複數取樣門鎖電路，以及第二開關係由複數取樣門鎖電路所共享。
51. 如申請專利範圍第48項之液晶顯示裝置，其也具有一第三開關係於第二開關被同步化且由第二開關控制介於電源供應線與輸出電路之電源供應端間用以輸出CMOS門鎖電路輸出信號。
52. 如申請專利範圍第51項之液晶顯示裝置，其中該第二開

六、申請專利範圍

關係組合第三開關。

53. 如申請專利範圍第52項之液晶顯示裝置，其中複數取樣閃鎖電路係對應數位資料位元數目架設，以及第二開關係由複數取樣閃鎖電路所共享。
54. 一種閃鎖電路，具有一CMOS閃鎖單元作為基本結構，其中該閃鎖電路具有一第一開關及一第二開關來分別選擇具有不同電壓之第一及第二電源供應，且係架設於CMOS閃鎖單元之正電源端或負電源端中之至少一者，以及具有一控制裝置來根據CMOS閃鎖單元之閃鎖操作及輸出操作期間控制第一及第二開關的交換。
55. 如申請專利範圍第54項之閃鎖電路，其中該第一及第二開關為電晶體。
56. 如申請專利範圍第54項之閃鎖電路，其中架設複數閃鎖電路，以及該第一開關及第二開關係由該等複數取樣閃鎖電路所共享。
57. 如申請專利範圍第54項之閃鎖電路，其中該閃鎖電路係利用薄膜電晶體形成於一玻璃基板上製造。
58. 如申請專利範圍第54項之閃鎖電路，其中該閃鎖電路係利用薄膜電晶體形成於一矽基板上製造。
59. 一種液晶顯示裝置，其係整合一像素段及含有掃描系統之驅動電路於同一片基板上，其中一掃描系統包含該CMOS閃鎖單元作為基本結構，以及包含一第一開關及一第二開關來分別選擇具有不同電壓之第一及第二電源供應，且係架設於CMOS閃鎖單元之正電源端或負電源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

端中之至少一者，具有一控制裝置來根據CMOS閃鎖單元之閃鎖操作及輸出操作期間控制第一及第二開關的交換。

60. 如申請專利範圍第59項之液晶顯示裝置，其中該第一開關及第二開關為電晶體。
61. 如申請專利範圍第59項之液晶顯示裝置，其中複數閃鎖電路係對應數位資料位元數目架設，以及第一開關及第二開關係由該等複數取樣閃鎖電路所共享。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

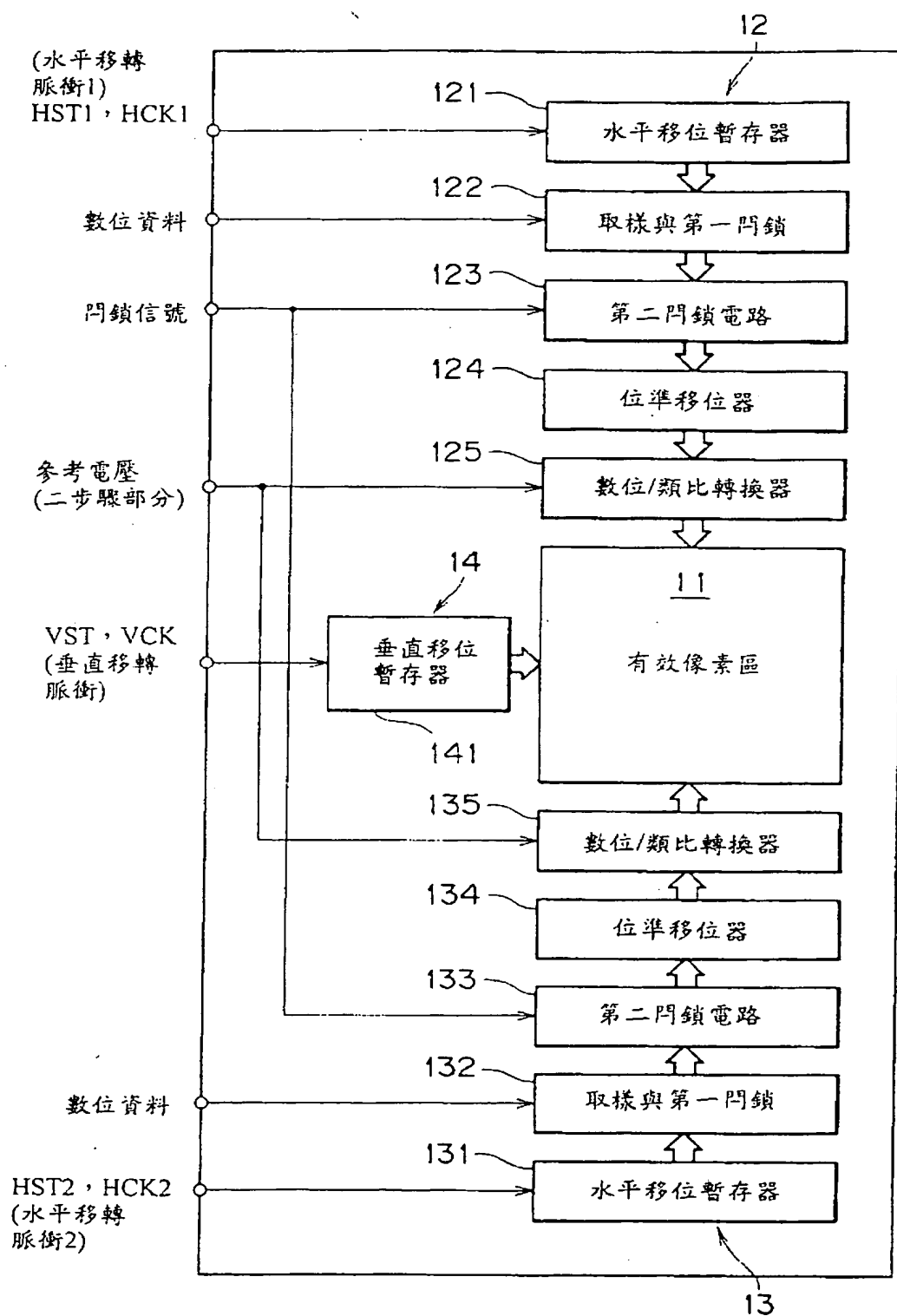


圖 1

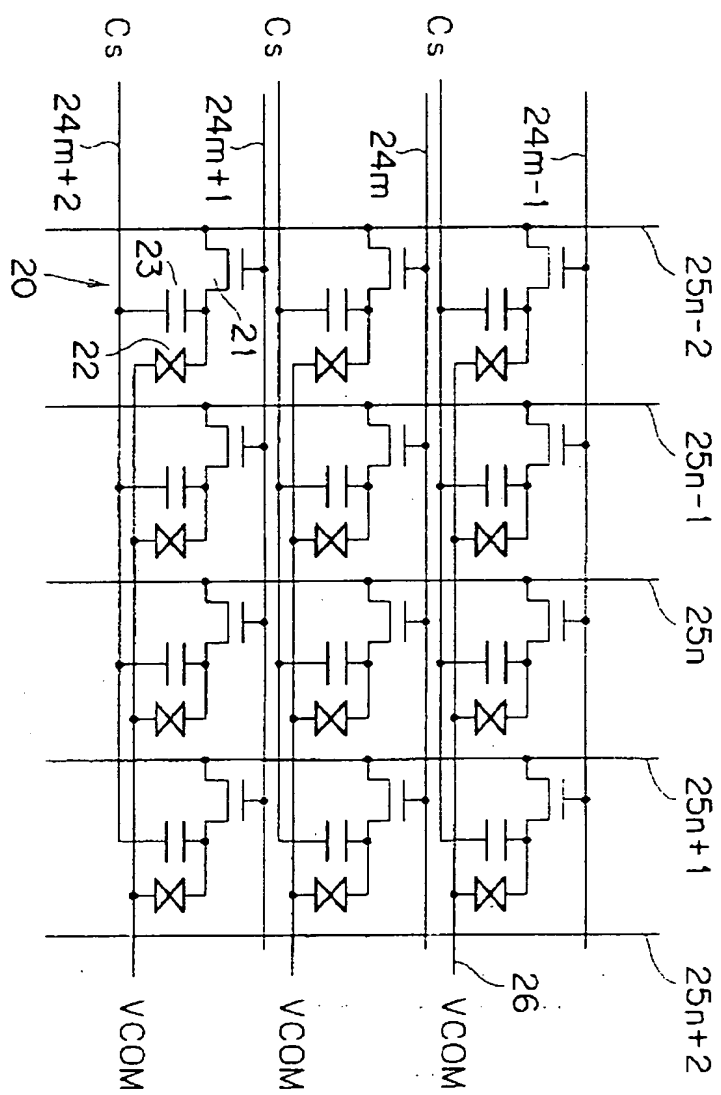


圖 2

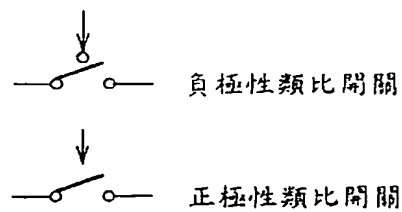
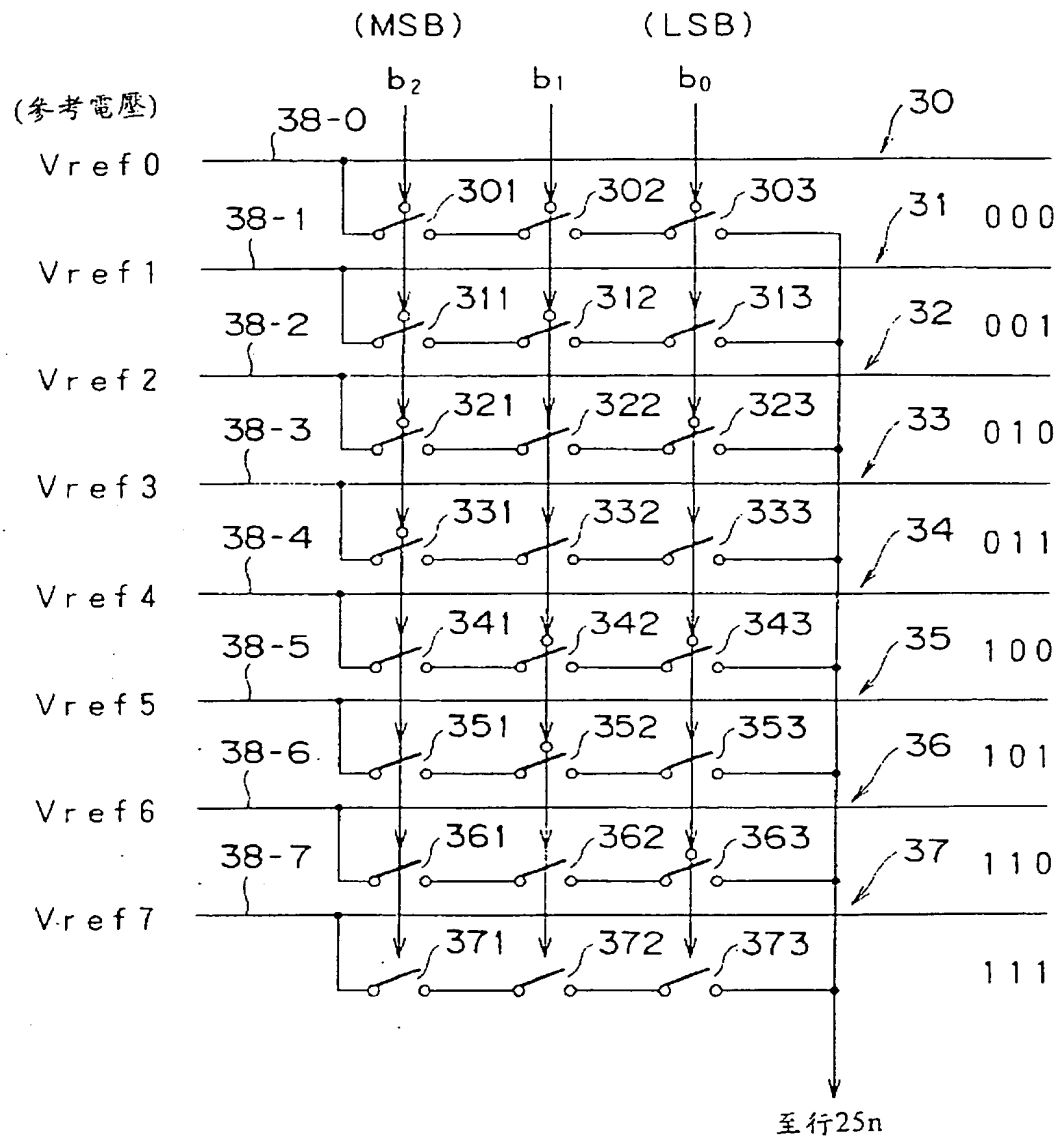


圖 3

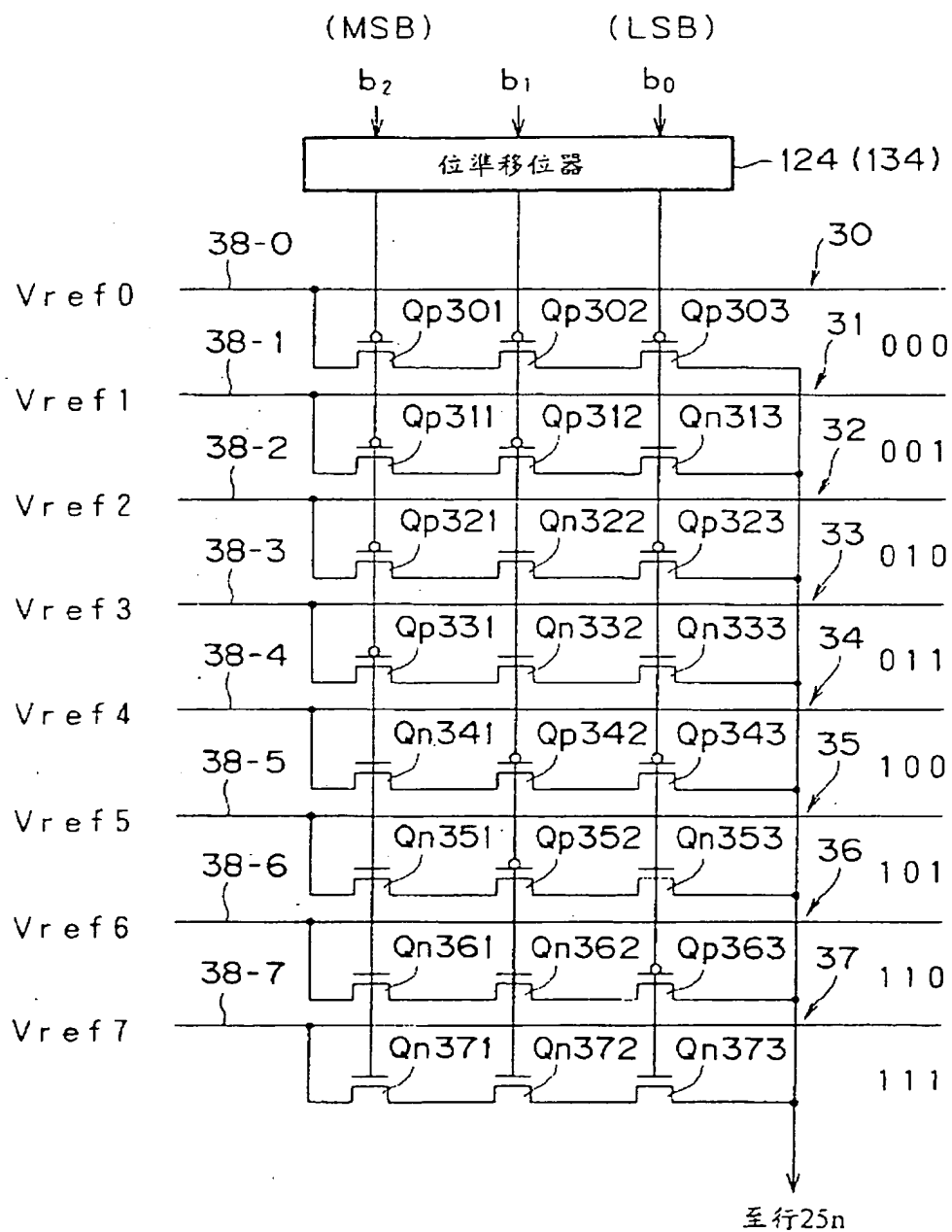


圖 4

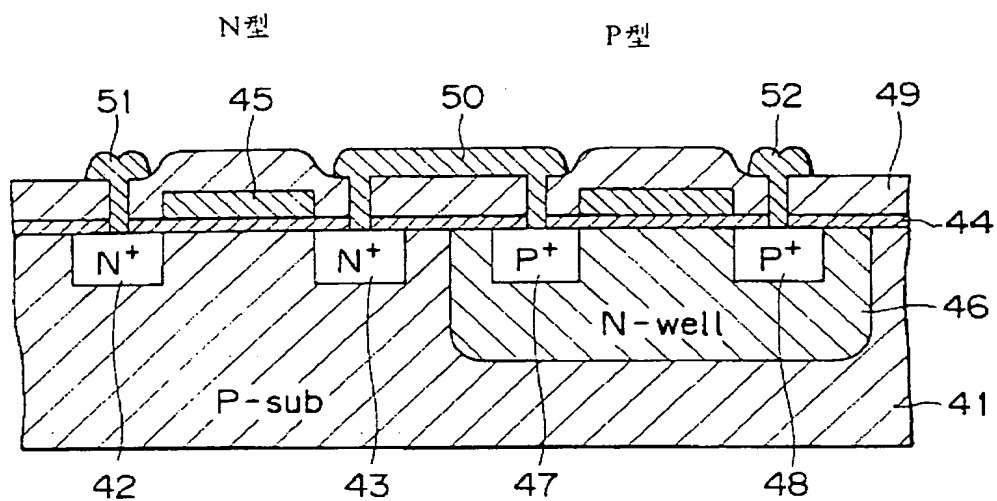


圖 5

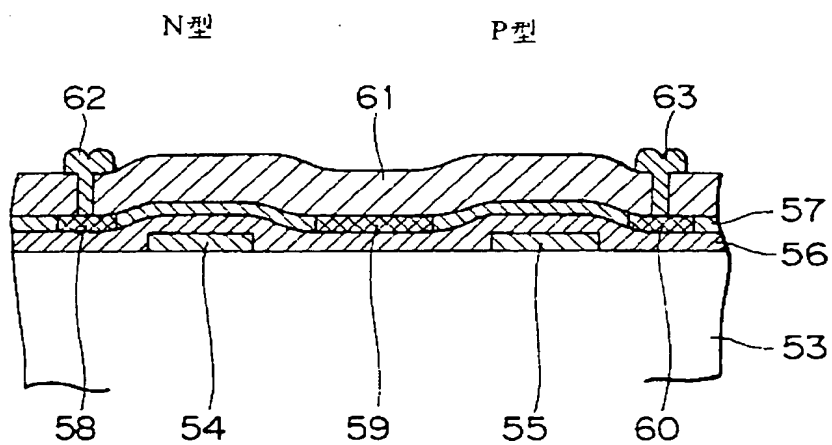


圖 6

461180

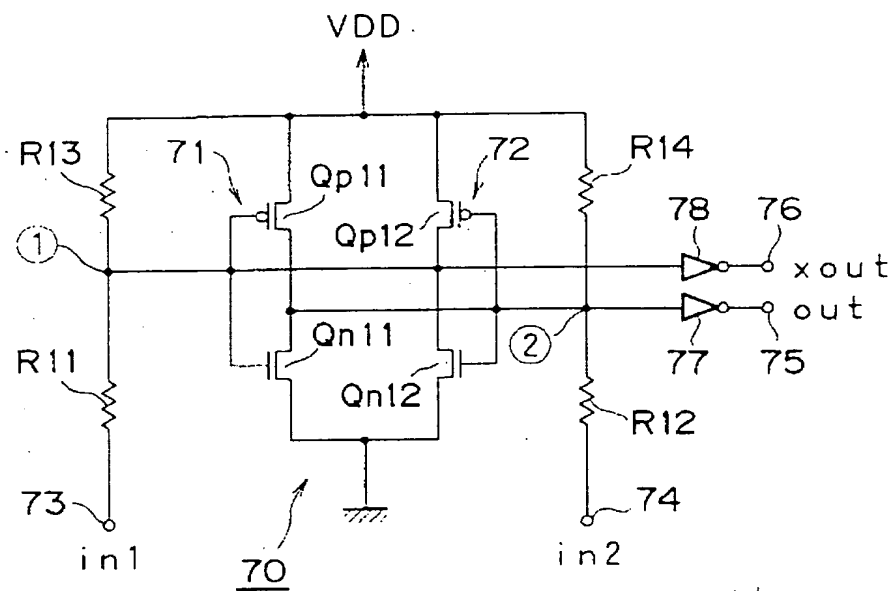


圖 7

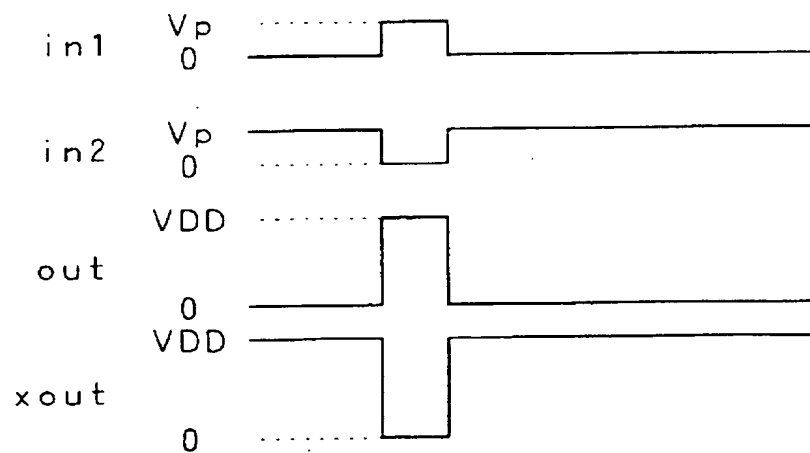


圖 8

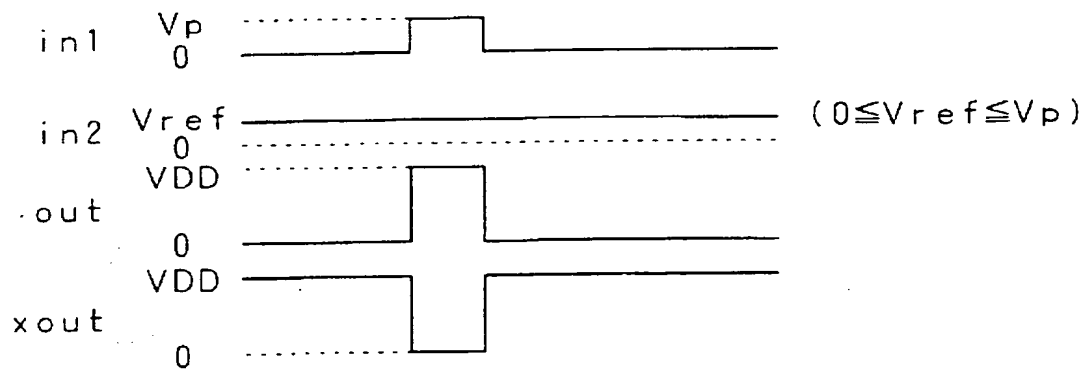


圖 9

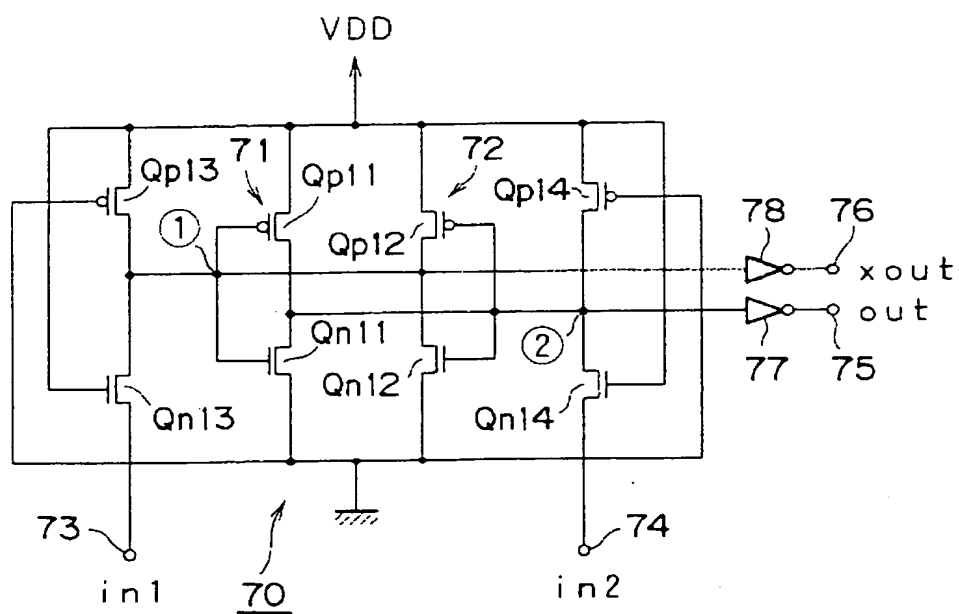
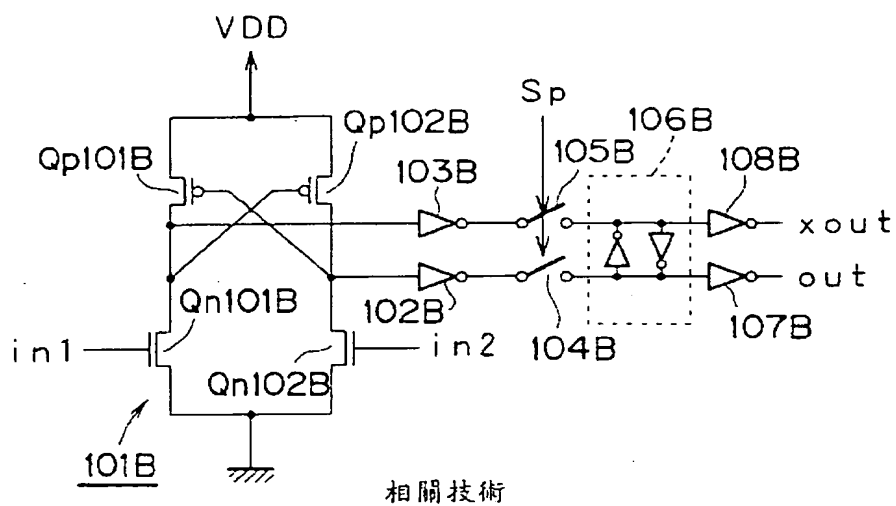
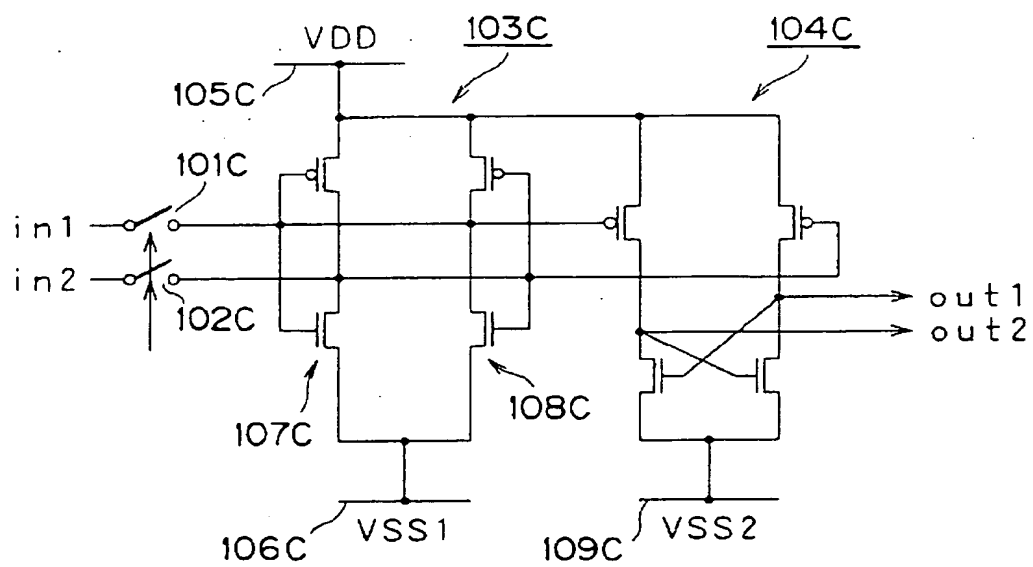


圖 10



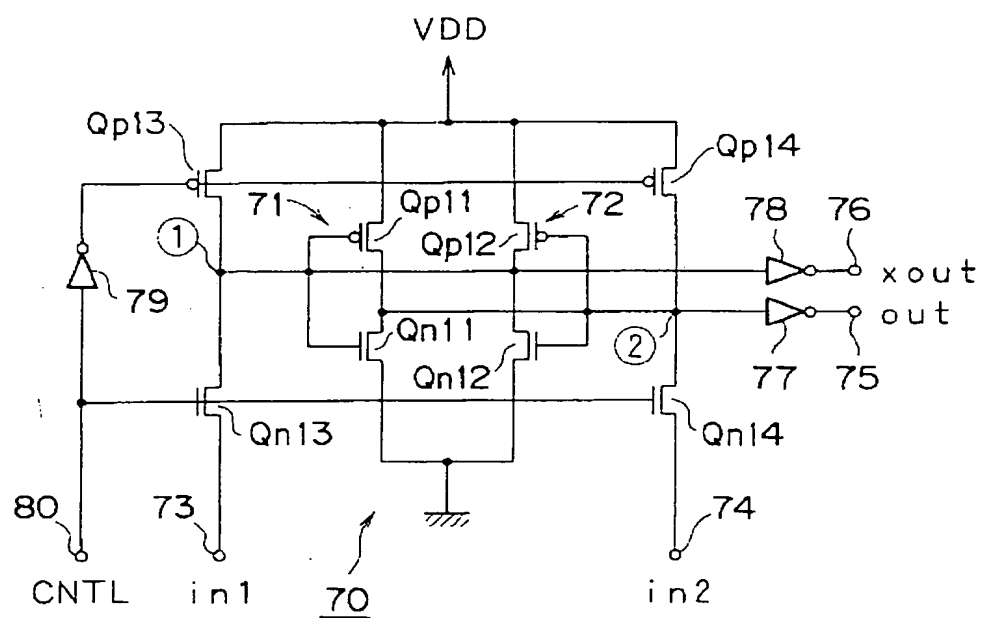
相關技術

圖 10B



相關技術1

圖 10C



11

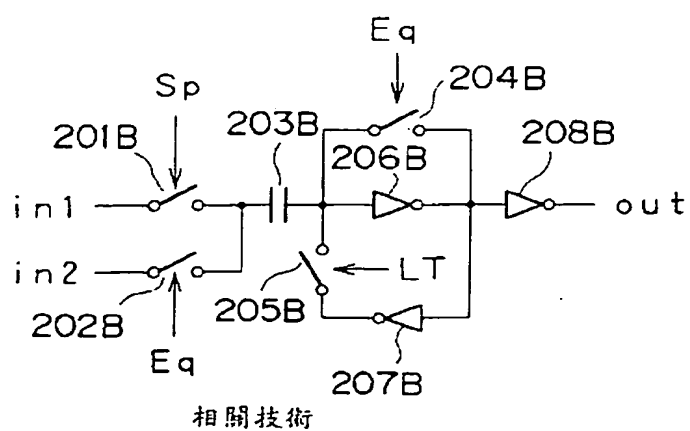


圖 11B

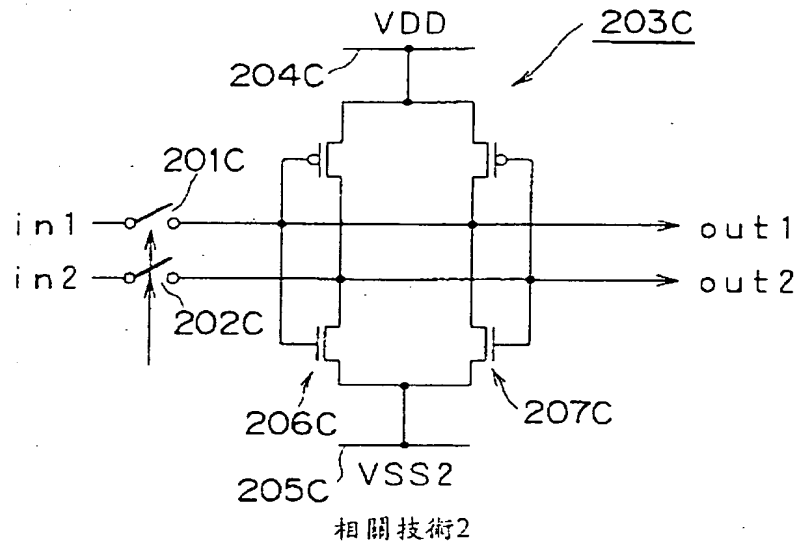


圖 11C

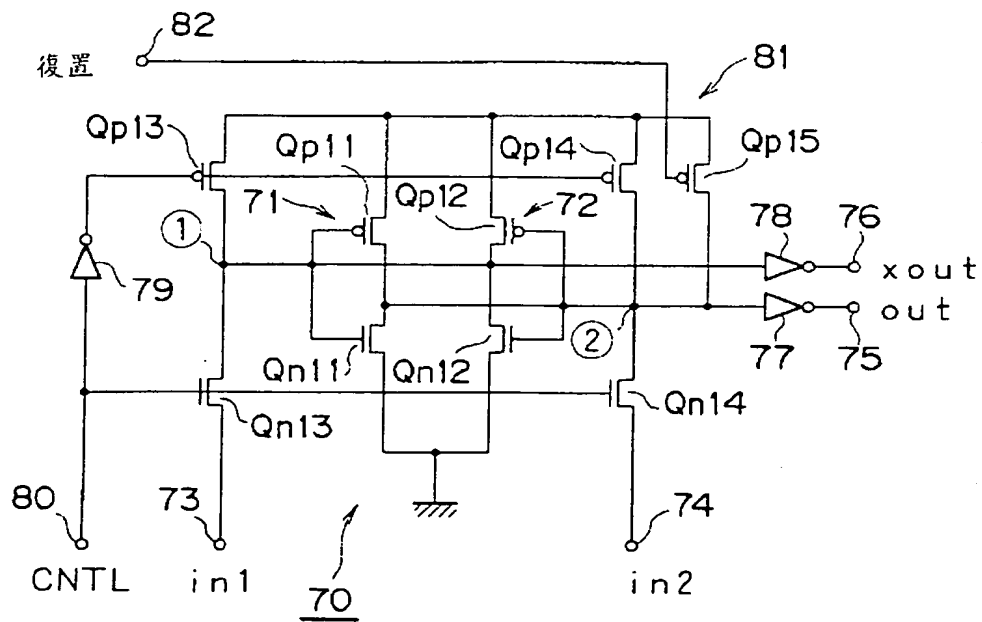
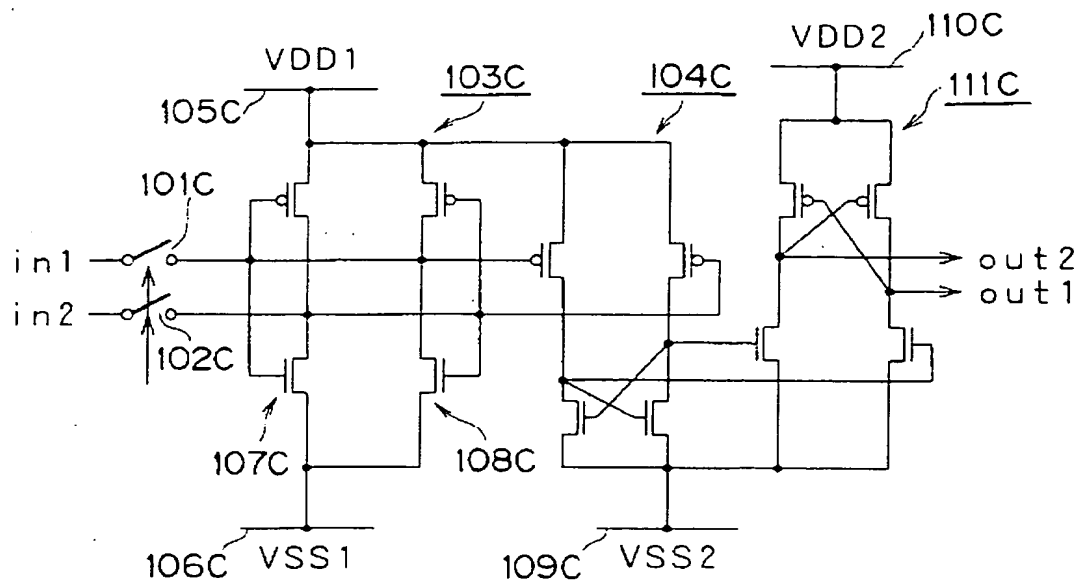


圖 12



相關技術3

圖 12 C

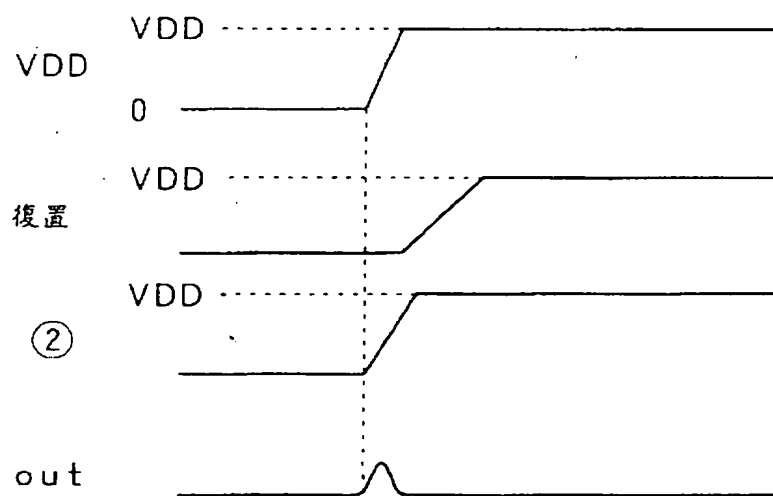
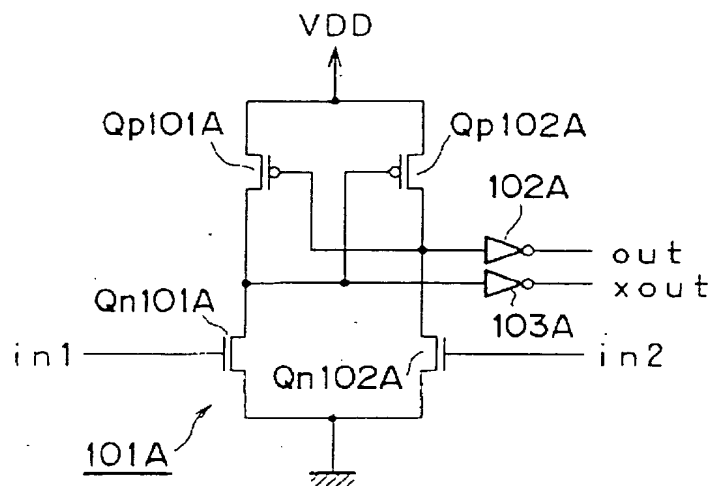
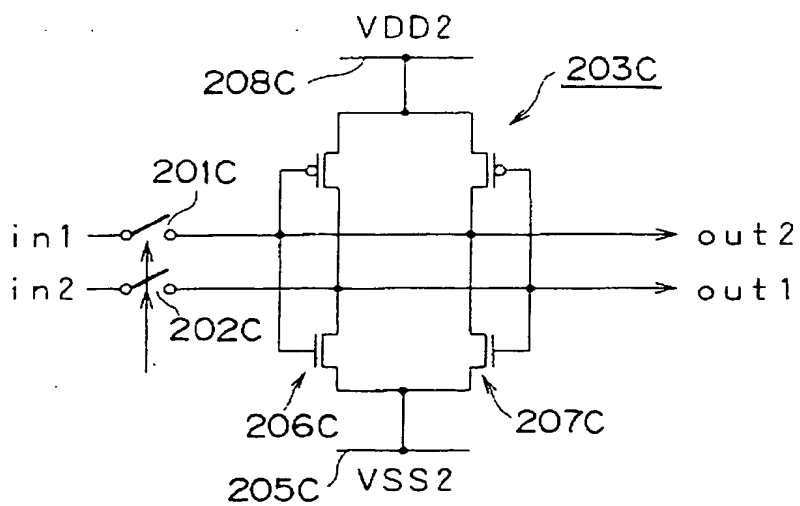


圖 13



相關技術1

圖 13 A



相關技術4

圖 13 C

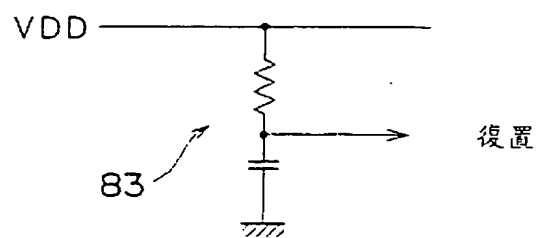
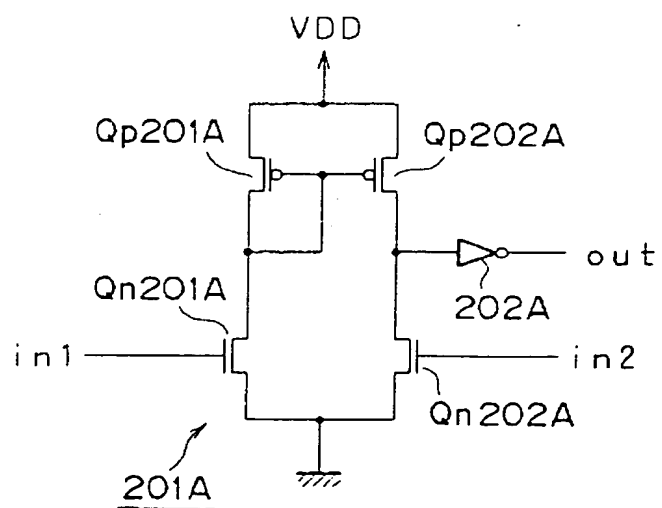


圖 14



相關技術2

圖 14A

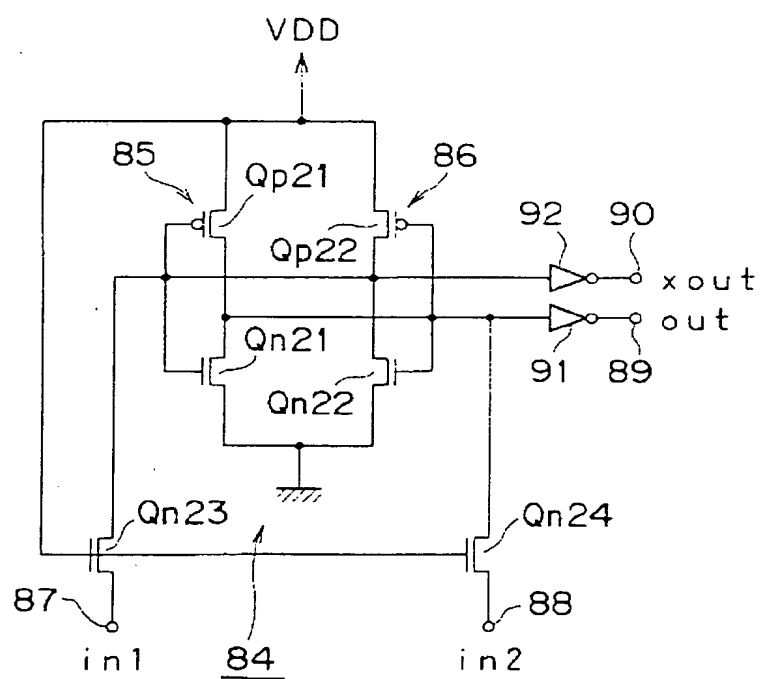


圖 16

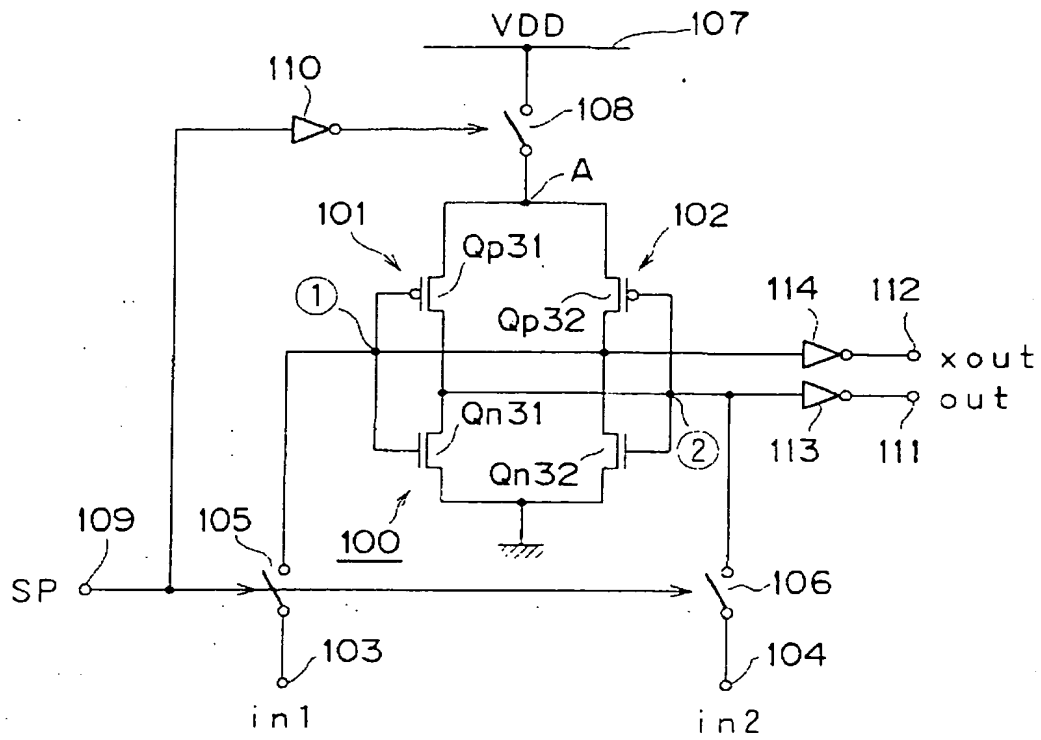


圖 18

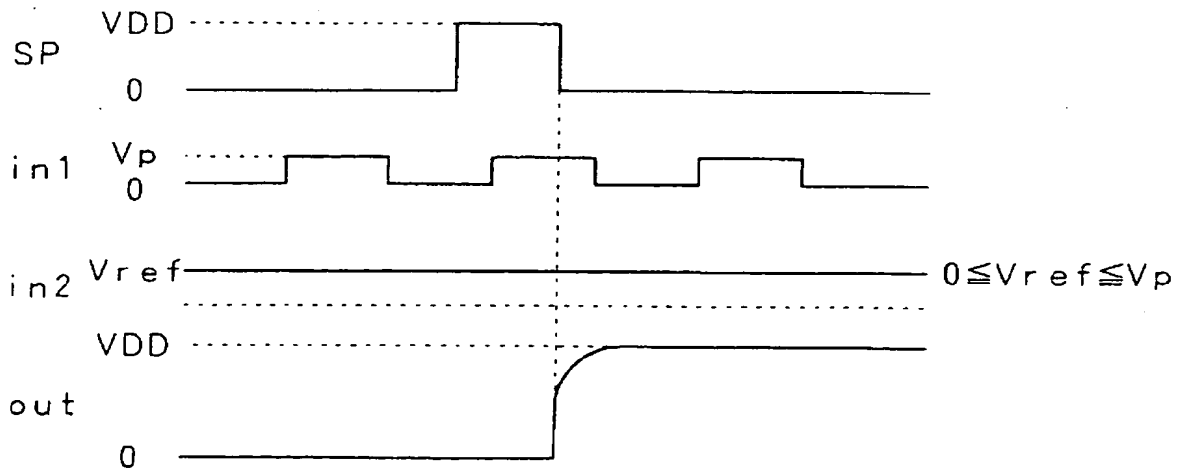


圖 19

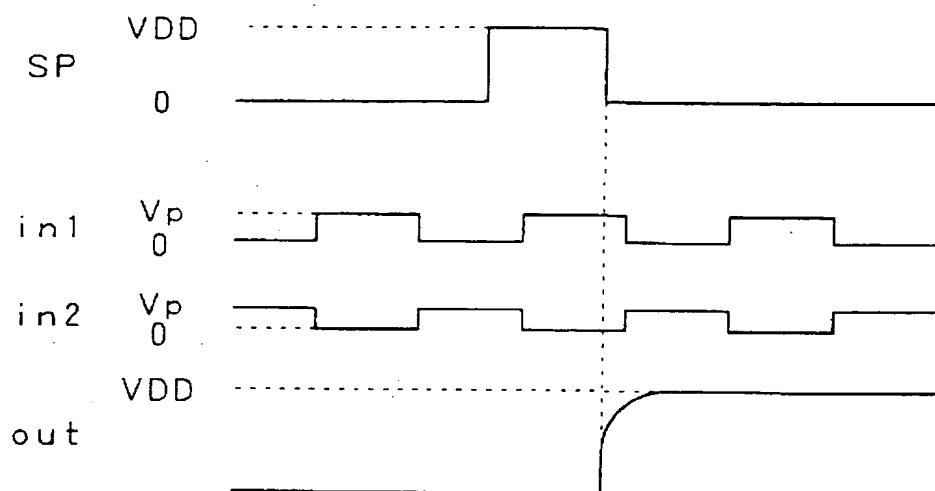


圖 20

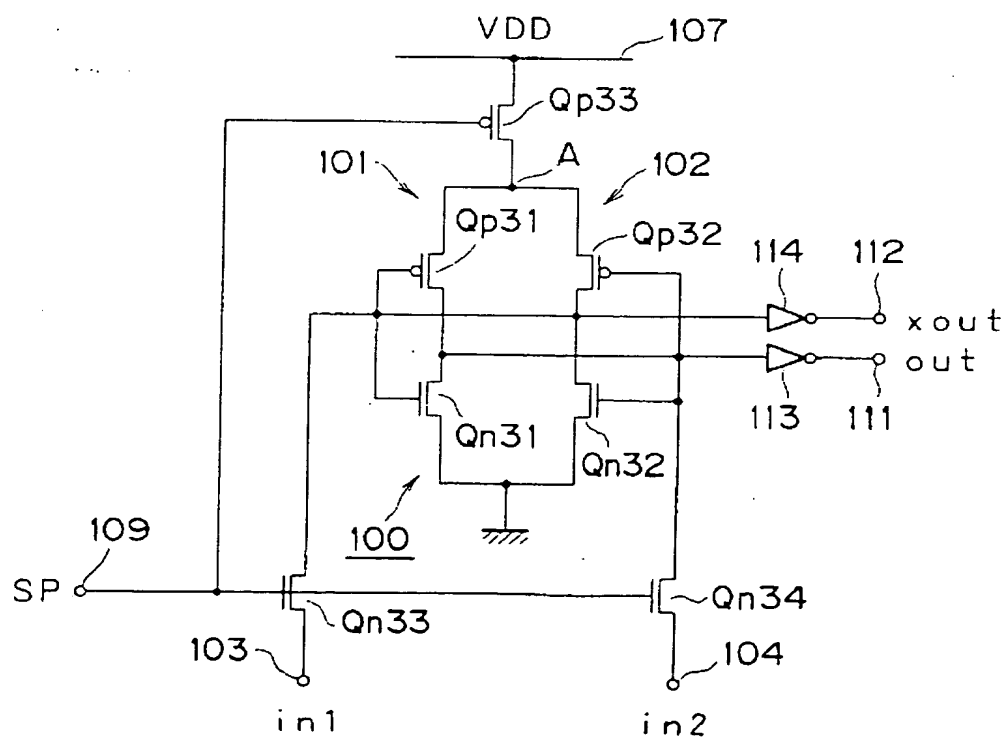


圖 21

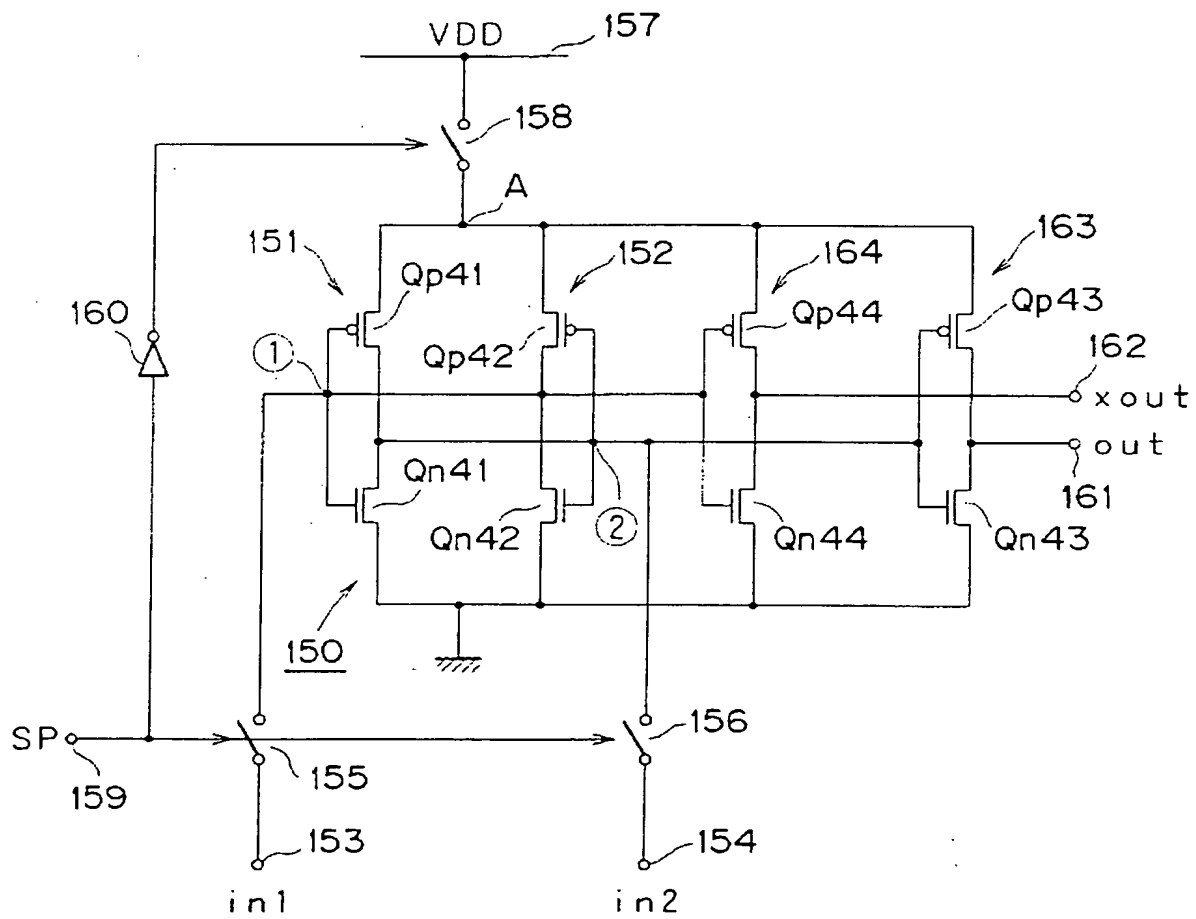


圖 22

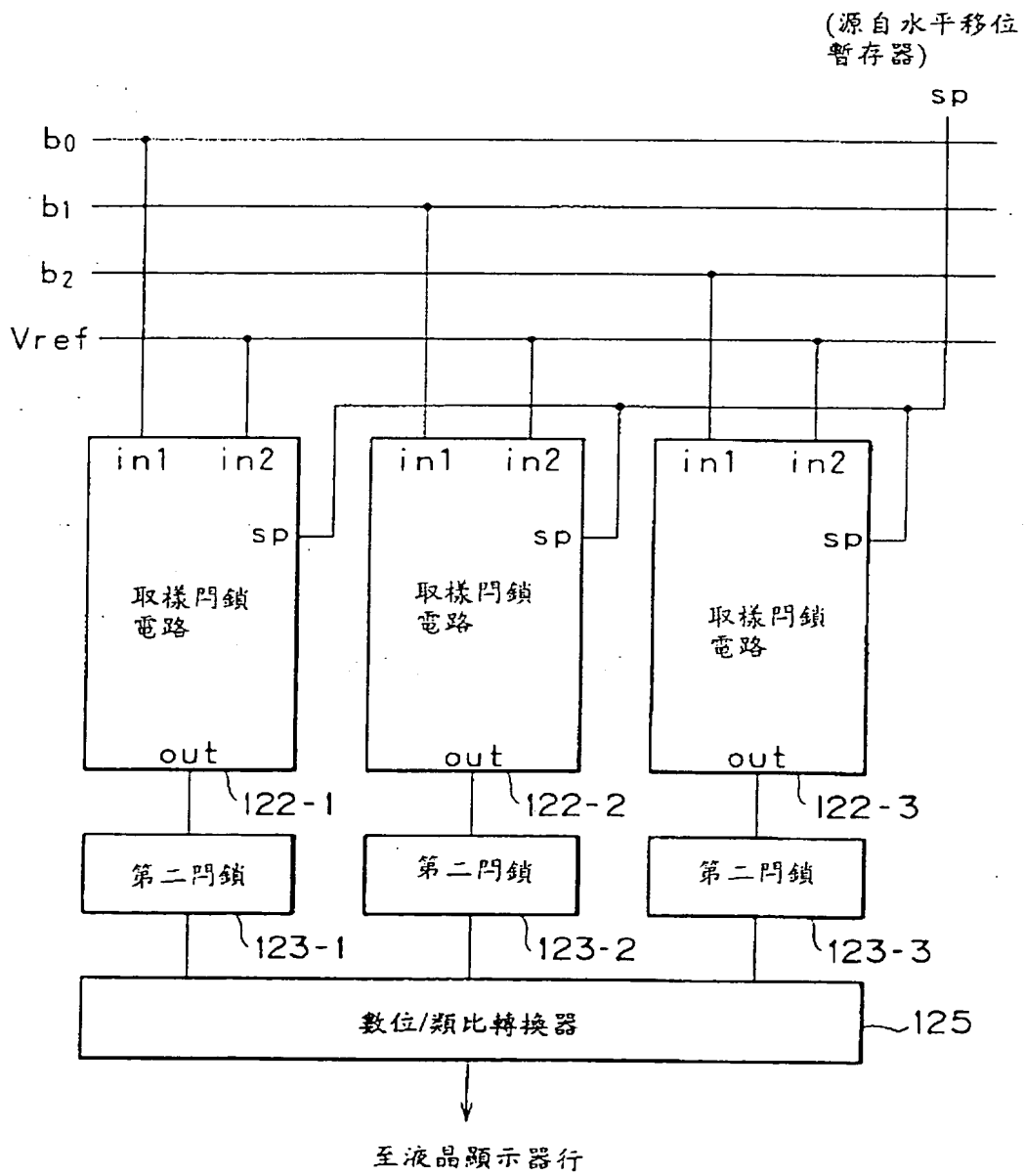
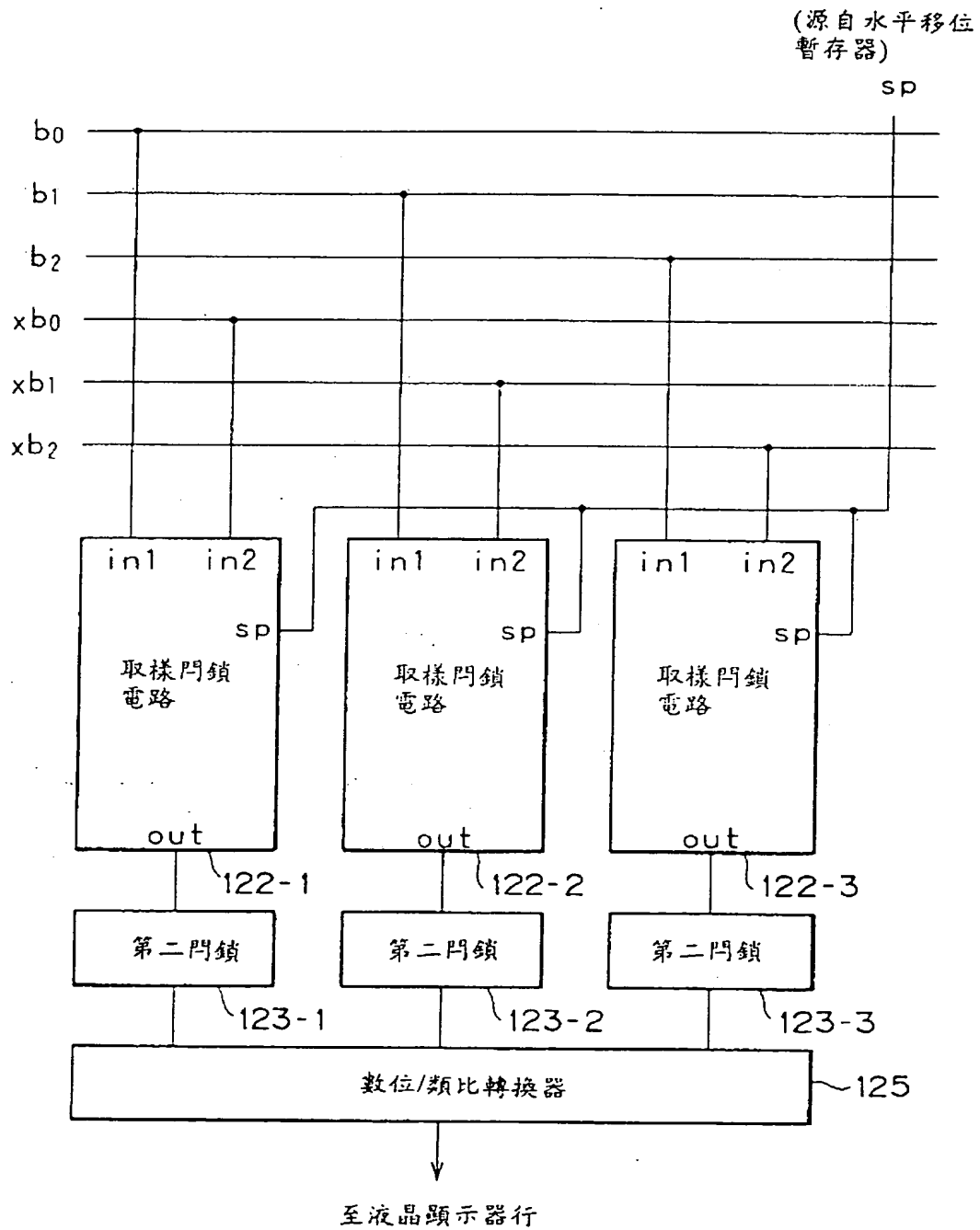


圖 23



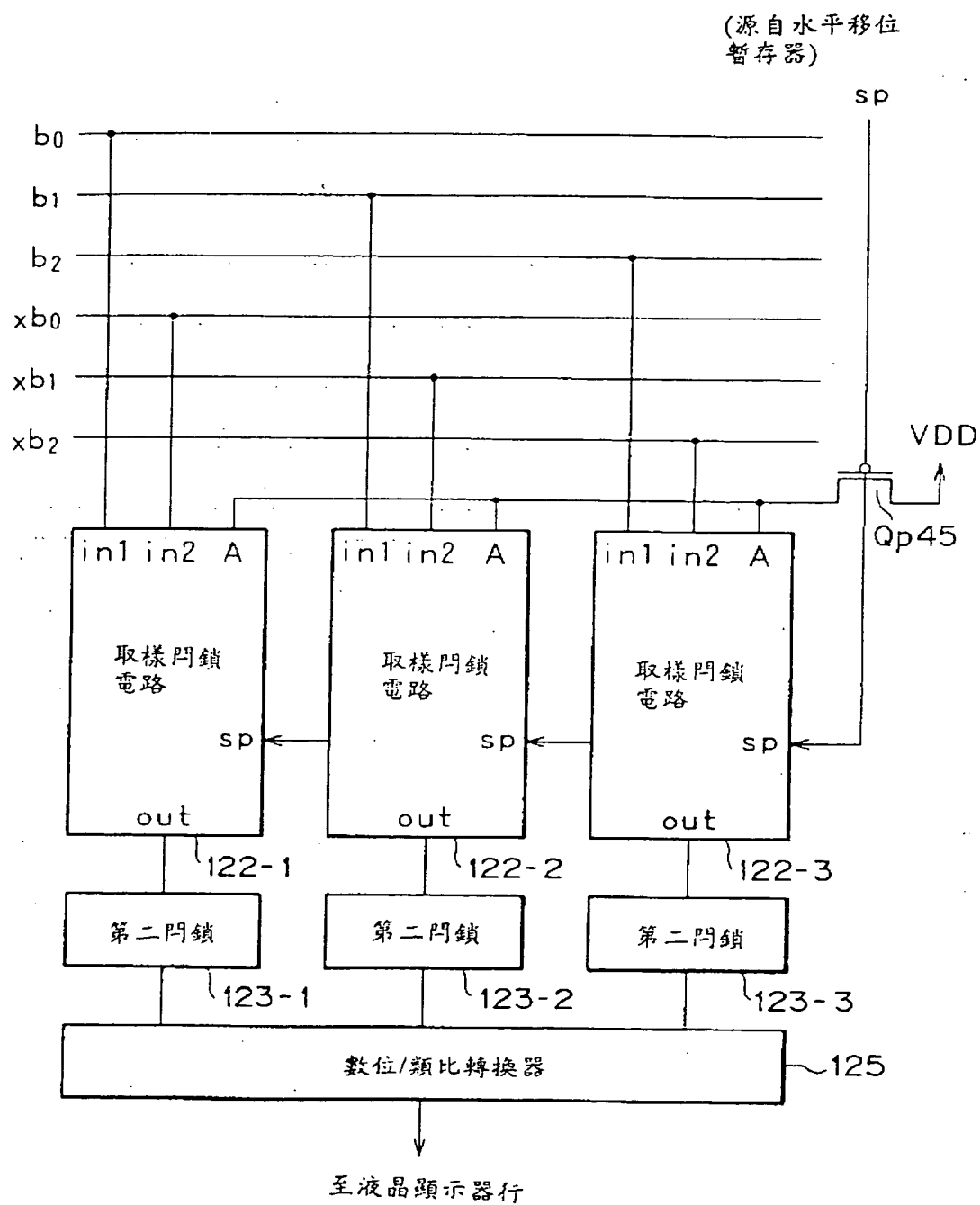


圖 25

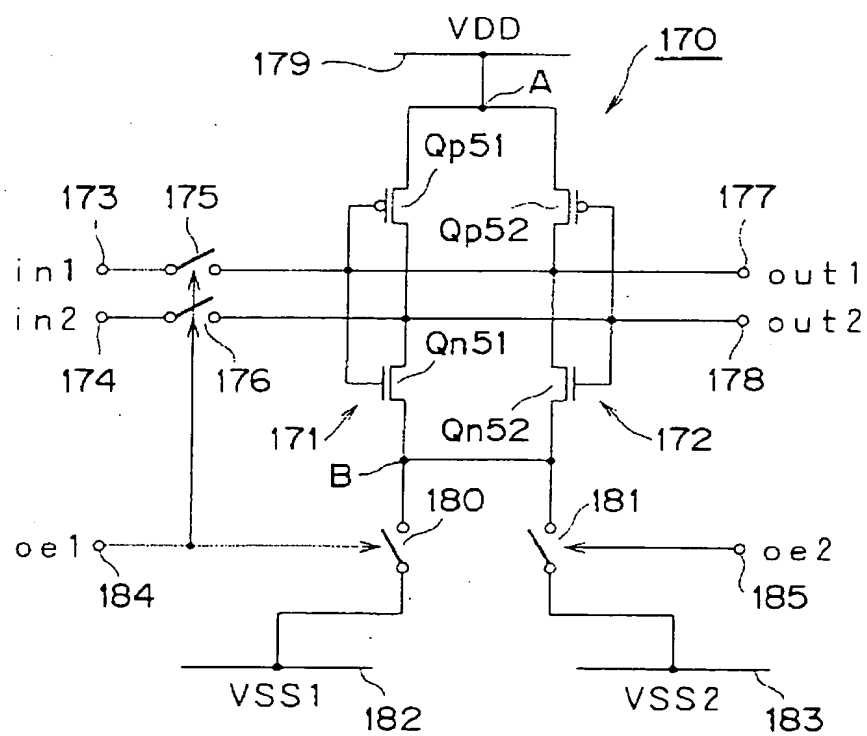


圖 26

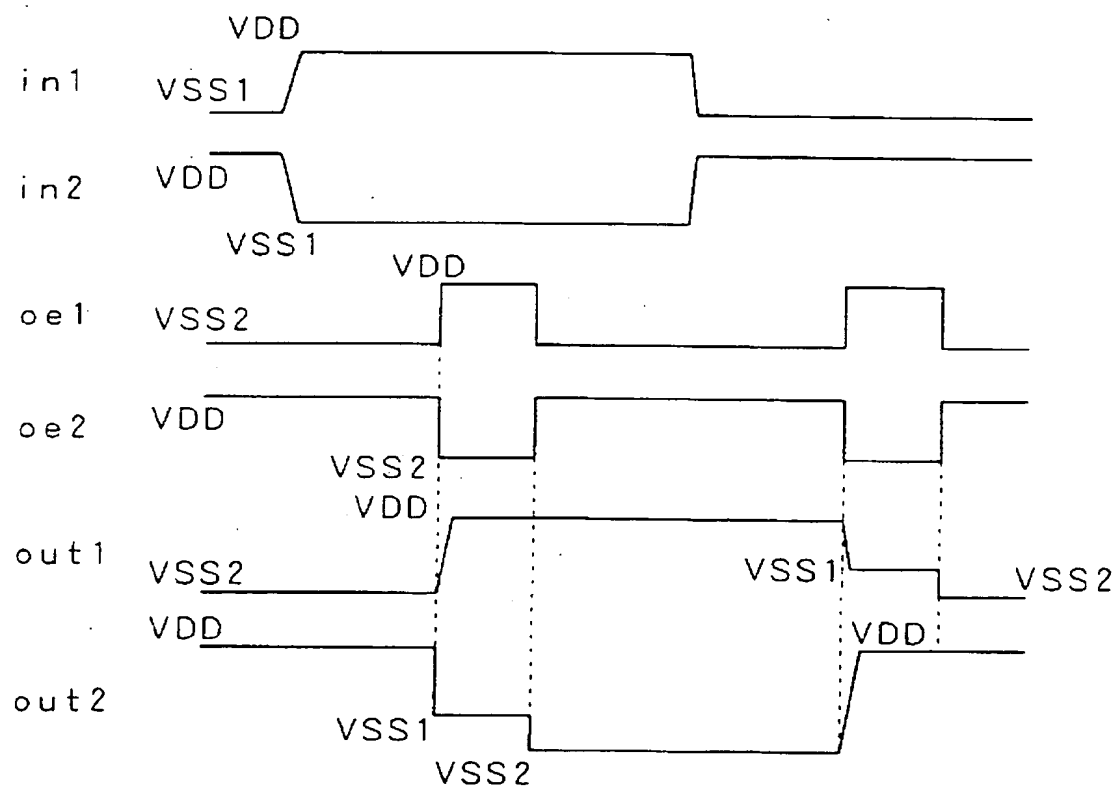


圖 27

461180

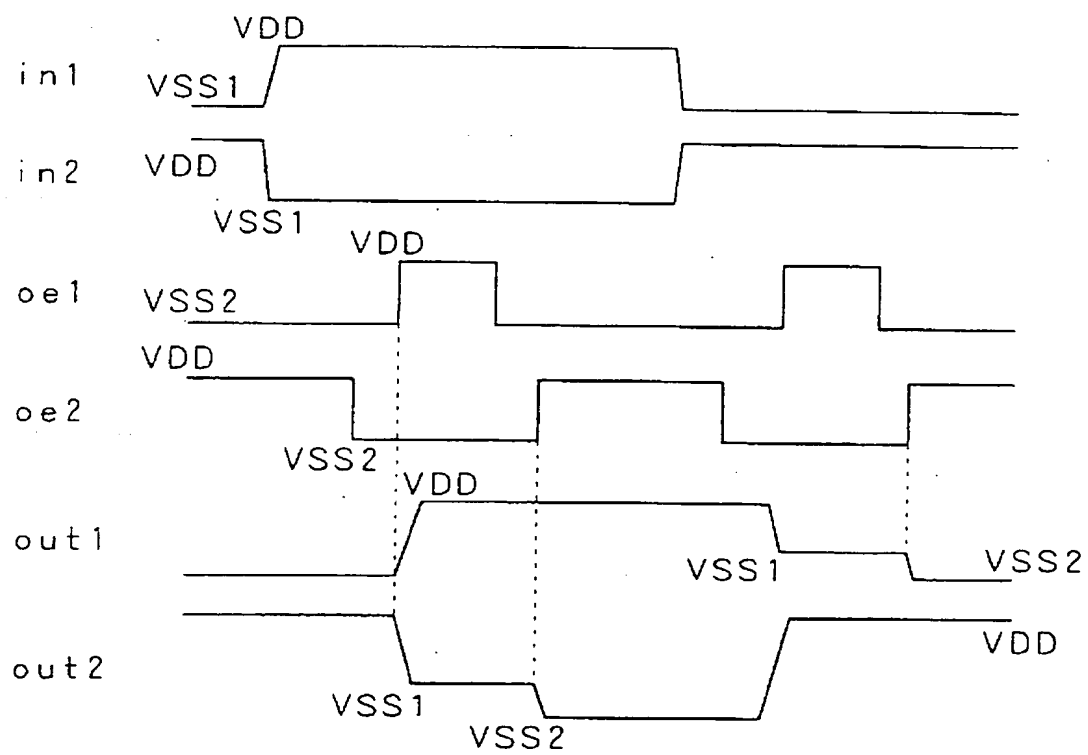


圖 28

圖 30

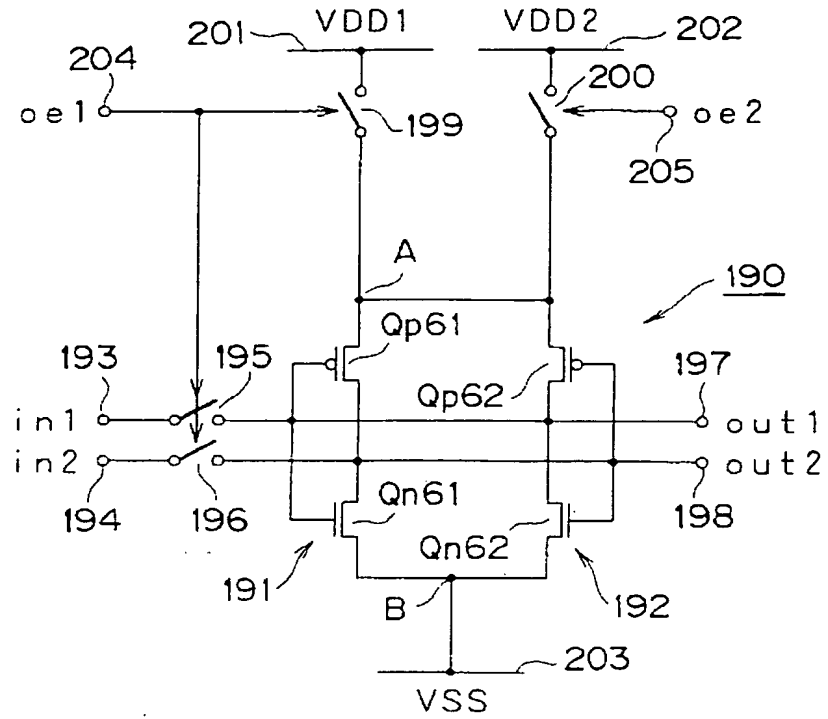
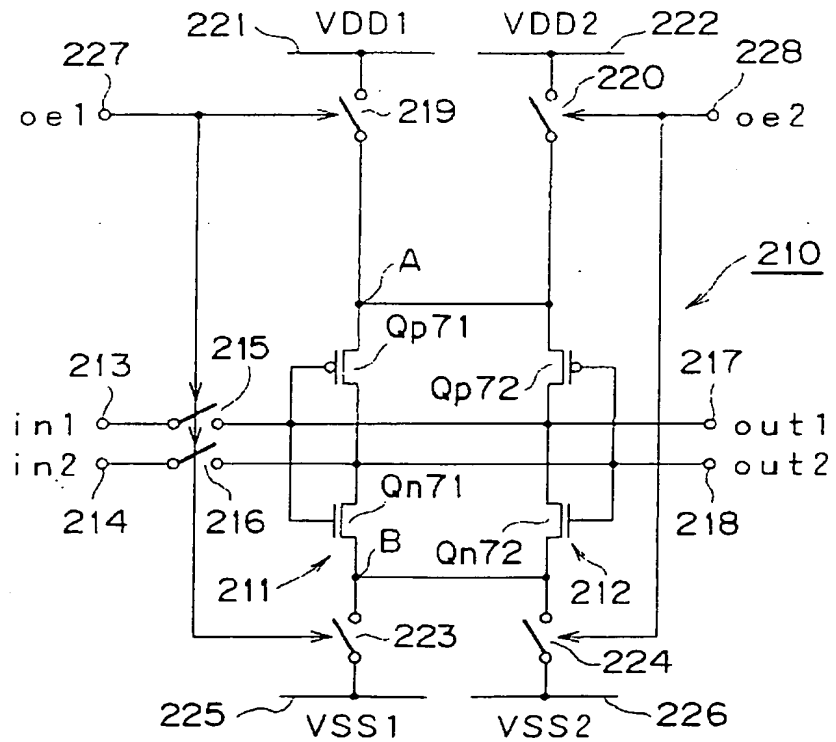
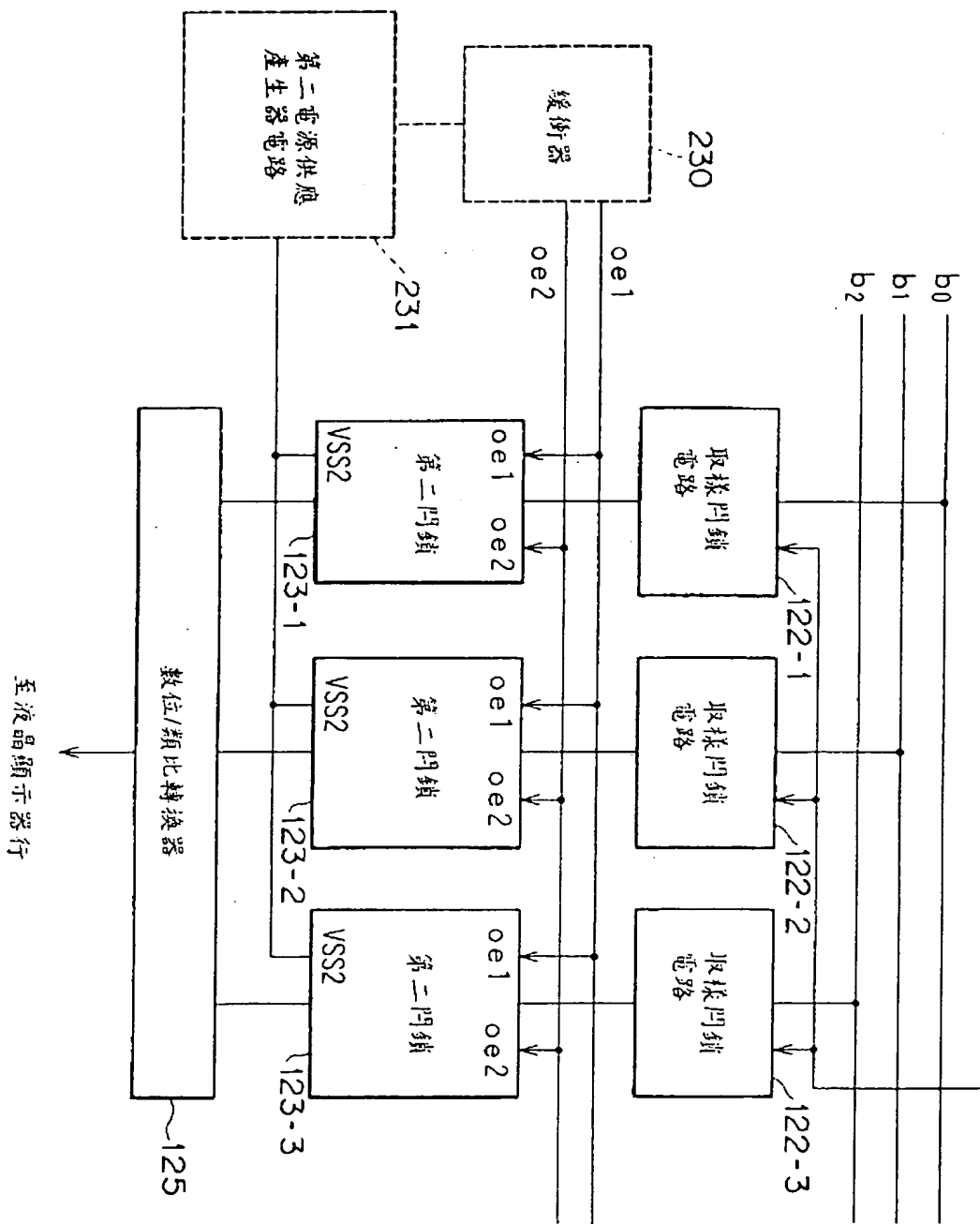


圖 31

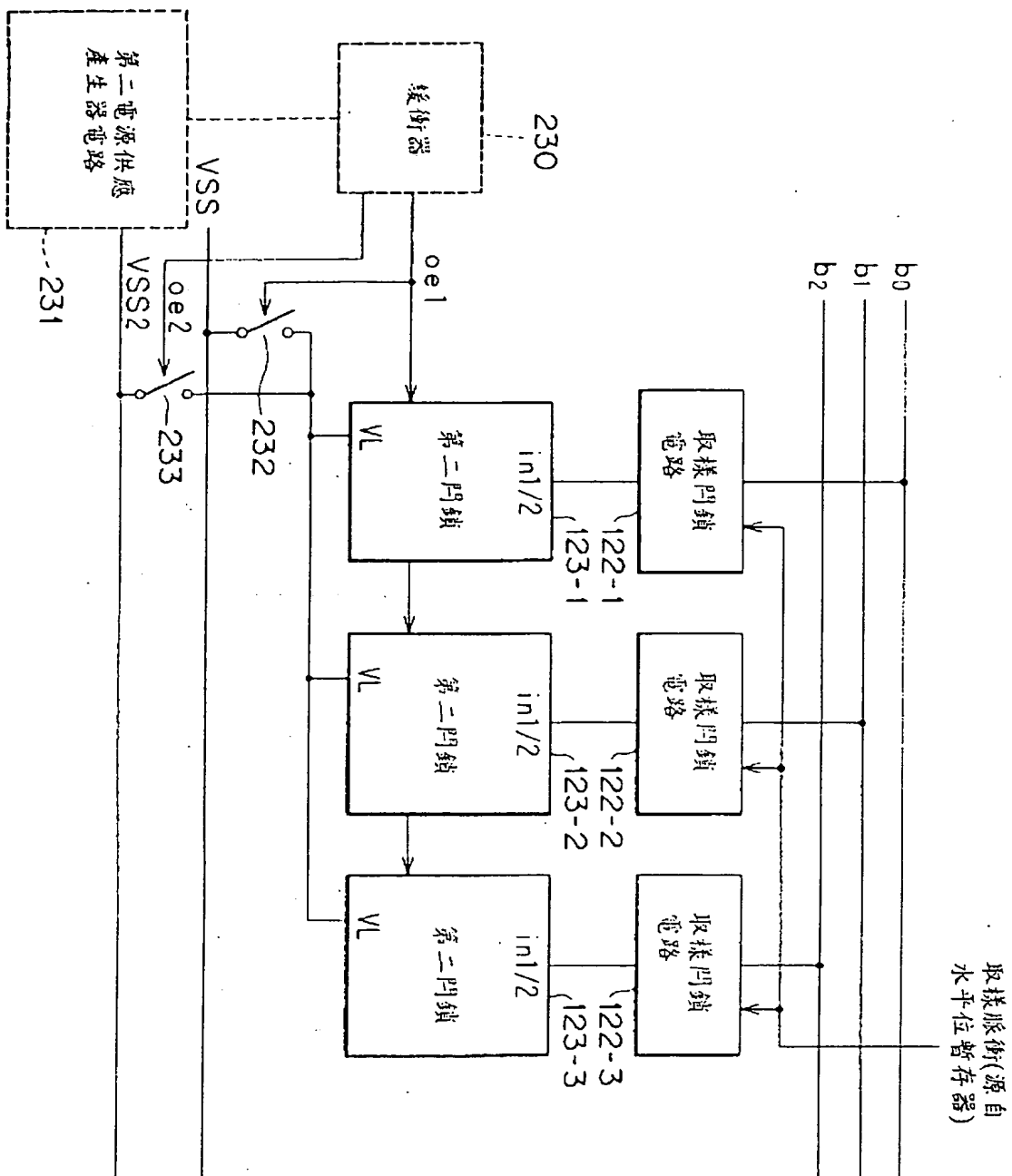


取樣脈衝(源自
水平位暫存器)



至液晶顯示器行

圖 32



三三

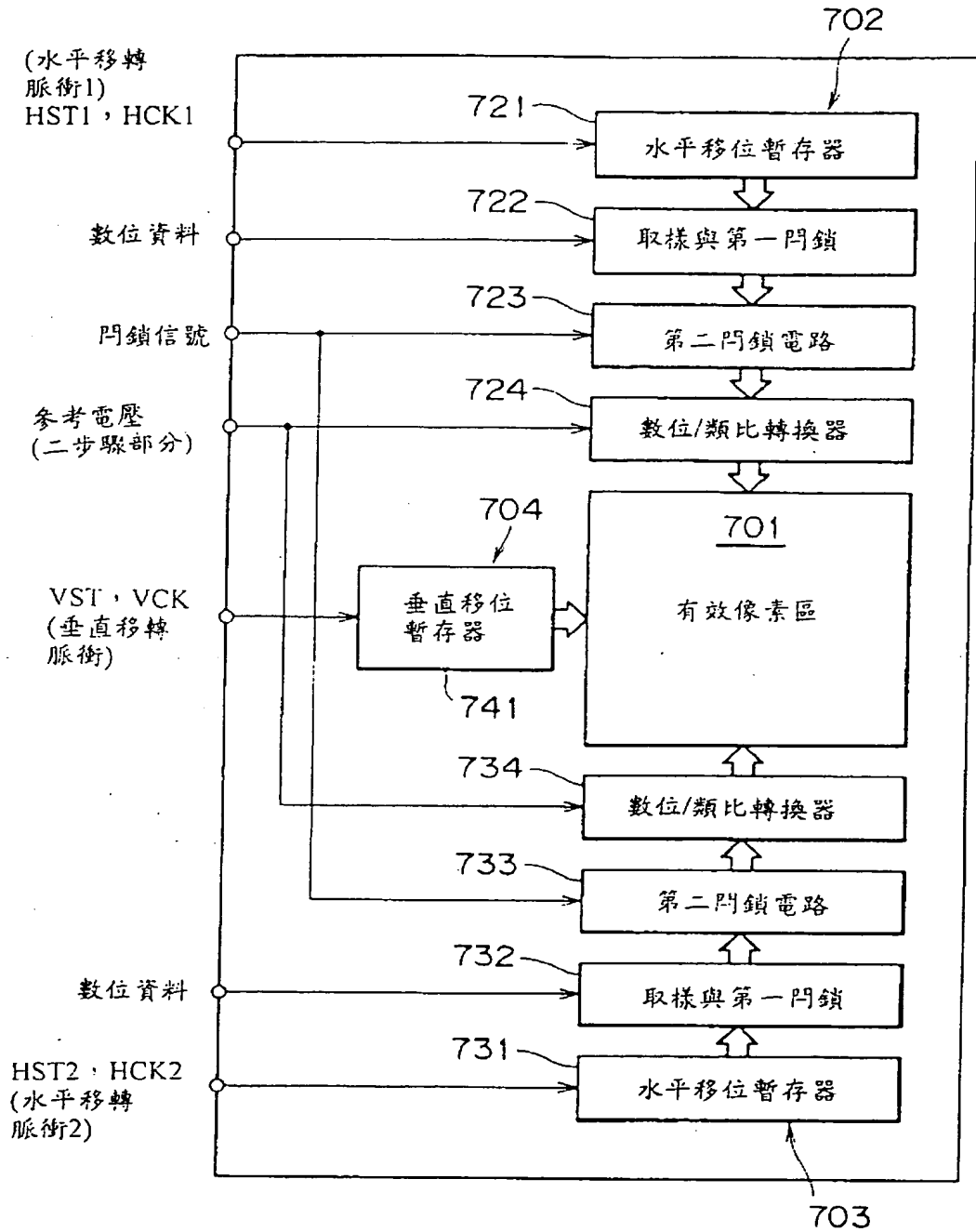


圖 34

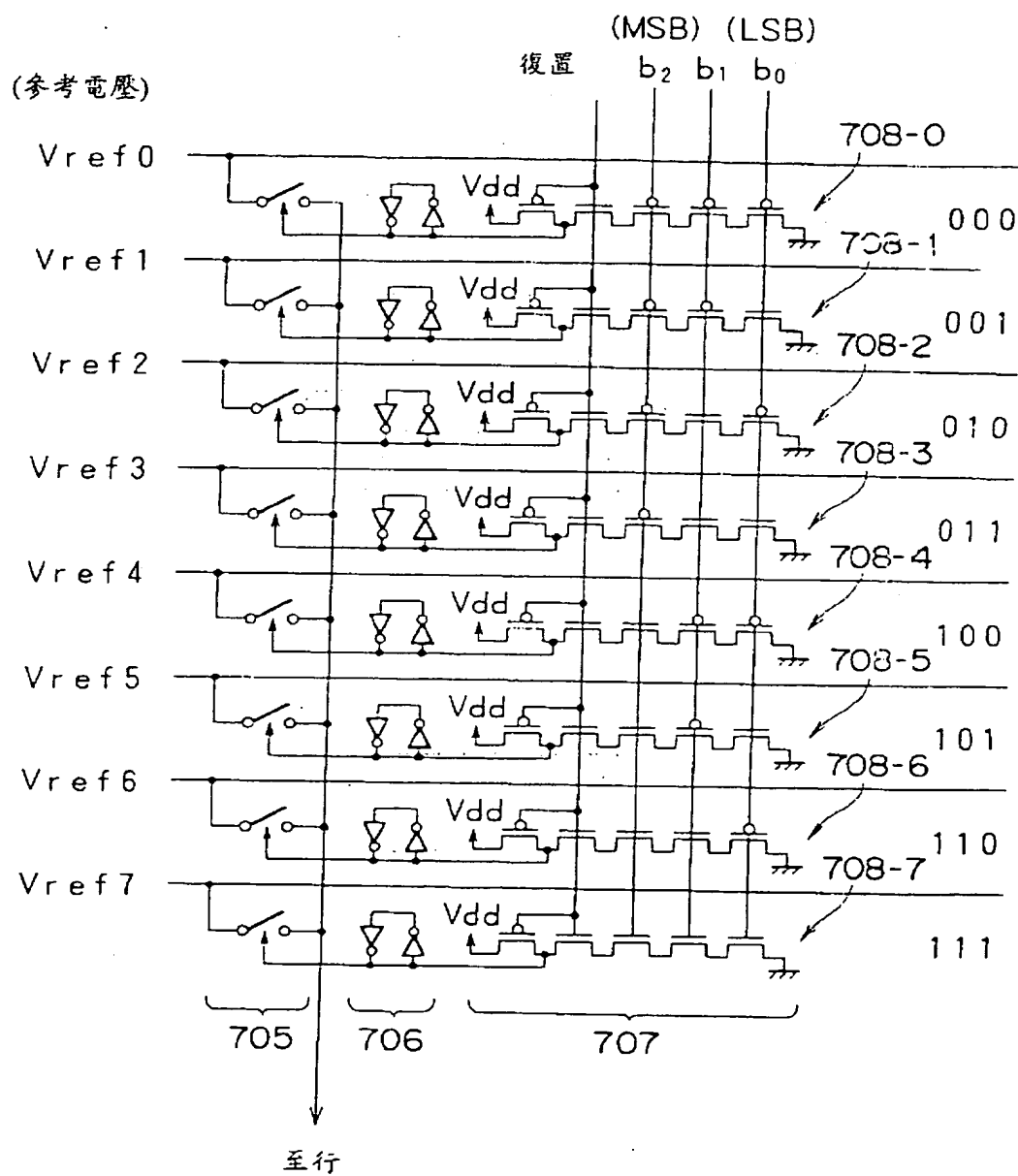


圖 35